



杭州万高科技股份有限公司

V32G410x

数据手册



目录

1	介绍	12
2	规格说明.....	13
2.1	器件一览.....	13
2.2	概述	14
2.2.1	ARM® Cortex®-M4F, 配有 DSP 指令和 FPU.....	14
2.2.2	存储器保护单元 (MPU)	15
2.2.3	闪存存储器	16
2.2.4	循环冗余校验 (CRC) 计算单元	16
2.2.5	内置 SRAM.....	16
2.2.6	嵌套的向量式中断控制器 (NVIC)	16
2.2.7	外部中断/事件控制器 (EXTI)	17
2.2.8	时钟和启动	17
2.2.9	启动模式	18
2.2.10	供电方案	19
2.2.11	供电监控器	19
2.2.12	低功耗模式	19
2.2.13	直接存储器访问控制器 (DMA)	19
2.2.14	实时时钟 (RTC) 和后备寄存器	20
2.2.15	定时器和看门狗 (TMR/WDG)	20
2.2.16	内部集成电路总线 (I2C)	22
2.2.17	通用同步/异步收发器 (USART)	22
2.2.18	串行外设接口 (SPI)	23
2.2.19	内部集成音频接口 (I2S)	23
2.2.20	控制器区域网络 (CAN)	23
2.2.21	通用输入输出 (GPIO)	23
2.2.22	重映像功能	24
2.2.23	模拟/数字转换器 (ADC)	24
2.2.24	温度传感器	24
2.2.25	串行线 JTAG 调试口 (SWJ-DP)	24
3	引脚定义.....	25
4	存储器映像.....	38

5	电气特性.....	39
5.1	测试条件.....	39
5.1.1	最小和最大数值.....	39
5.1.2	典型数值.....	39
5.1.3	典型曲线.....	39
5.1.4	负载电容.....	39
5.1.5	引脚输入电压.....	40
5.1.6	供电方案.....	40
5.1.7	电流消耗测量.....	41
5.2	绝对最大额定值.....	42
5.3	工作条件.....	43
5.3.1	通用工作条件.....	43
5.3.2	上电和掉电时的工作条件.....	43
5.3.3	内嵌复位和电源控制模块特性.....	43
5.3.4	供电电流特性.....	45
5.3.5	外部时钟源特性.....	50
5.3.6	内部时钟源特性.....	53
5.3.7	从低功耗模式唤醒的时间.....	54
5.3.8	PLL 特性.....	55
5.3.9	存储器特性.....	55
5.3.10	I/O 端口特性.....	55
5.3.11	NRST 引脚特性.....	56
5.3.12	TMR 定时器特性.....	57
5.3.13	通信接口.....	58
5.3.14	12 位 ADC 特性.....	64
5.3.15	温度传感器特性.....	65
5.3.16	ESD 电气特性.....	66
6	存储.....	67
6.1	湿敏度.....	67
6.2	存储条件.....	67
7	回流焊工艺.....	68
8	封装特性.....	69
8.1	LQFP100 14x14mm 封装数据.....	69
8.2	QFN48 7x7mm 封装数据.....	71

8.3	QFN60 6x6mm 封装数据	71
8.4	热特性	72

表目录

表 1.	文档版本历史	9
表 2.	V32G410x 系列器件功能和配置	13
表 3.	启动加载程序 (Bootloader) 的管脚配置	18
表 4.	定时器功能比较	20
表 5.	USART/UART 功能比较	22
表 6.	V32G410x 系列引脚定义	28
表 7.	电压特性.....	42
表 8.	电流特性.....	42
表 9.	温度特性.....	42
表 10.	通用工作条件	43
表 11.	上电和掉电时的工作条件	43
表 12.	内嵌复位和电源控制模块特性.....	43
表 13.	运行模式下的典型电流消耗	45
表 14.	睡眠模式下的典型电流消耗	46
表 15.	运行模式下的最大电流消耗	47
表 16.	睡眠模式下的最大电流消耗	47
表 17.	停机模式下的典型和最大电流消耗	48
表 18.	内置外设的电流消耗.....	49
表 19.	高速外部用户时钟特性	50
表 20.	低速外部用户时钟特性	51
表 21.	HSE 4~25 MHz 振荡器特性 ⁽¹⁾ ⁽²⁾	52
表 22.	LSE 振荡器特性 ($f_{LSE} = 32.768\text{ kHz}$) ⁽¹⁾	53
表 23.	HSI 振荡器特性 ⁽¹⁾	54
表 24.	LSI 振荡器特性 ⁽¹⁾	54
表 25.	低功耗模式的唤醒时间	54
表 26.	PLL 特性.....	55
表 27.	内部闪存存储器特性.....	55

表 28.	内部闪存存储器寿命和数据保存期限	55
表 29.	I/O 静态特性	56
表 30.	NRST 引脚特性.....	56
表 31.	TMRx ⁽¹⁾ 特性.....	58
表 32.	I2C 接口特性	58
表 33.	SCL 频率 ($f_{PCLK1} = 36 \text{ MHz}$, $V_{DD} = 3.3 \text{ V}$) ⁽¹⁾ ⁽²⁾	59
表 34.	SPI 特性	60
表 35.	I2S 特性	62
表 36.	ADC 特性	64
表 37.	温度传感器特性	65
表 38.	ESD 电气参数	66
表 39.	MSL 汇总	67
表 40.	袋装储存条件	67
表 41.	回流曲线条件	68
表 42.	封装的热特性	72

图目录

图 1.	V32G410x 系列功能框图	14
图 2.	时钟树	17
图 3.	V32G410CGU7 QFN48 引脚分布	25
图 4.	V32G410DUU6 QFN60 引脚分布	26
图 5.	V32G410VUT7/ V32G410VGT7 LQFP100 引脚分布	27
图 6.	存储器图.....	38
图 7.	引脚的负载条件	39
图 8.	引脚输入电压	40
图 9.	供电方案.....	40
图 10.	电流消耗测量方案	41
图 11.	上电复位和掉电复位的波形图.....	44
图 12.	待机模式下的典型电流消耗在不同的 VDD 时与温度的对比.....	48
图 13.	外部高速时钟源的交流时序图.....	51
图 14.	外部低速时钟源的交流时序图.....	52
图 15.	使用 8 MHz 晶体的典型应用	53
图 16.	使用 32.768 kHz 晶体的典型应用	53
图 17.	建议的 NRST 引脚保护	57
图 18.	I2C 总线交流波形和测量电路 ⁽¹⁾	59
图 19.	SPI 时序图 - 从模式和 CPHA = 0	60
图 20.	SPI 时序图 - 从模式和 CPHA = 1 ⁽¹⁾	61
图 21.	SPI 时序图 - 主模式 ⁽¹⁾	61
图 22.	I2S 从模式时序图 (Philips 协议) ⁽¹⁾	62
图 23.	I2S 主模式时序图 (Philips 协议) ⁽¹⁾	63
图 24.	V_{SENSE} 对温度理想曲线图	65
图 25.	典型无铅回流模式	68
图 26.	LQFP100 - 14x14mm 100 脚薄型正方扁平封装图	69
图 27.	QFN48 - 7x7mm 48 脚薄型正方扁平封装图	71

图 28.	QFN60 - 6x6mm 60 脚薄型正方扁平封装图	71
-------	-----------------------------------	----

版本历史

表1. 文档版本历史

时间	版本	说明
2022.08.19	V1.0	初版
2023.01.09	V1.4	封装型号变更
2023.02.17	V1.5	增加V32G410RGT7
2023.04.21	V1.6	删除GPIO开漏输出和输入上拉模式 I2C删除从机模式 I2S删除从机和数据扩展模式 去除LSE Stable信号
2023.05.08	V1.7	CAN删除CLKOUT功能
2023.09.12	V1.8	更正停机模式唤醒时间
2023.11.10	V1.9	更正电气参数
2024.01.30	V1.10	更正HSI振荡器的精度 删除V32G410RGT7
2024.06.19	V1.11	修改外部复位电容为1uF
2024.08.21	V1.12	更正芯片工作温度最高为85℃
2025.01.07	V1.13	增加V32G410DUU6型号

V32G410x 是基于 ARM® 32 位的 Cortex® -M4F 微控制器+FPU，带 4096 K 字节内部闪存、17 个定时器、2 个 ADC、16 个通信接口。

特点

- 内核：带有 FPU 的 ARM®32 位的 Cortex™-M4F CPU
 - 最高 200MHz 工作频率，带存储器保护单元(MPU)，内建单周期乘法和硬件除法
 - 内建浮点运算(FPU)，具有 DSP 指令集
- 存储器
 - 最高 4096KB 字节的内部闪存程序/数据存储器
 - 专用 SPIM 接口提供高达 16 M 字节外部 SPI 闪存程序数据存储器扩展接口
 - 最高 1536 K 字节的 SRAM
- 时钟、复位和电源管理
 - 2.6 至 3.6 伏供电和 I/O 引脚
 - 上电/断电复位(POR/PDR)、可编程电压监测器(PVD)
 - 4 至 25 MHz 晶体振荡器
 - 内嵌经出厂调校的 48 MHz RC 振荡器
 - 内嵌带校准的 40 kHz RC 振荡器
 - 带校准功能的 32 kHz 晶体振荡器
- 低功耗
 - 睡眠和停机模式
- 2 个 12 位 A/D 转换器，0.5 μ s 转换时间(多达 16 个输入通道)
 - 转换范围：0 至 3.6V
 - 采样和保持功能
 - 温度传感器
- DMA：14 通道 DMA 控制器
 - 支持的外设：定时器、ADC、I2S、SPI、I2C 和 USART
- 调试模式
 - 串行单线调试(SWD)和 JTAG 接口
- 86 个快速 I/O 端口
 - 最多 86 个多功能双向的 I/O 口，其中 80 个 I/O 口可以映像到 16 个外部中断；几乎所有端口均可容忍 5V 输入信号
 - 所有 I/O 口均为快速 I/O，寄存器访问速度最高 fAHB
- 多达 17 个定时器
 - 多达 8 个 16 位定时器+2 个 32 位定时器，每个定时器有多达 4 个用于输入捕获/输出比较/PWM 或脉冲计数的通道和增量编码器输入
 - 多达 2 个 16 位带死区控制和紧急刹车，用于电机控制的 PWM 高级控制定时器
 - 2 个看门狗定时器(独立的和窗口型的)
 - 系统时间定时器：24 位自减型计数器
 - 2 个 16 位基本定时器
- 多达 16 个通信接口
 - 多达 3 个 I2C 接口(支持 SMBus/PMBus)
 - 多达 8 个 USART 接口(支持 ISO7816, LIN, IrDA 接口和调制解调控制)

- 多达 4 个 SPI 接口(36 M 位/秒), 4 个均可复用为 I2S 接口
- CAN 接口(2.0A+2.0B)
- CRC 计算单元
- 封装
 - QFN48 7x7 mm (V32G410CGU7)
 - QFN60 6x6 mm (V32G410DUU6)
 - LQFP100 14x14 mm (V32G410VUT7)
 - LQFP100 14x14 mm (V32G410VGT7)

1 介绍

本文给出了 V32G410x 系列产品的功能信息。

V32G410x 系列产品简介，必须结合 V32G410x 系列产品手册和 V32G410x 系列参考手册一起阅读。有关内部闪存存储器的编程、擦除和保护等信息，也可在 V32G410x 系列参考手册中取得。有关 Cortex®-M4 核心的相关信息，请参考 Cortex-M4 技术参考手册，可以在 ARM 公司的网站下载：<http://infocenter.arm.com>

2 规格说明

V32G410x 系列使用高性能的 ARM®Cortex®-M4F 32 位的 RISC 内核，最高工作频率为 200 MHz，Cortex®-M4F 内核带有单精度浮点运算单元（FPU），支持所有 ARM®单精度数据处理指令和数据类型。它还具有一组 DSP 指令和提高应用安全性的一个存储器保护单元（MPU）。

V32G410x 系列内置高速存储器（最多 4096 K 字节的内存，和 1536 K 字节的 SRAM），提供 16 M 字节外部 SPI 闪存接口，以及丰富的增强 I/O 端口和联接到两条 APB 总线的外设。

器件包含 2 个 12 位的 ADC、8 个通用 16 位定时器、2 个通用 32 位定时器和多达 2 个 PWM 定时器，还包含标准和先进的通信接口：多达 3 个 I2C 接口、4 个 SPI 接口（可复用为 I2S 接口）、8 个 USART/UART 接口和 1 个 CAN 接口。

V32G410x 系列工作于 -40℃至 +85℃的温度范围，供电电压 2.6 V 至 3.6 V，省电模式保证低功耗应用的要求。

2.1 器件一览

V32G410x 系列产品提供 48 脚、60 脚和 100 脚的封装形式。下面给出了该系列产品中所有外设的基本介绍。

表2. V32G410x 系列器件功能和配置

型号		V32G410VGT7	V32G410CGU7	V32G410VUT7	V32G410DUU6
频率 (MHz)		200			
Flash (Kbytes)		1024	1024	4096	4096
SRAM (Kbytes) ⁽¹⁾		1536	1536	1536	1536
SPIM		0	0	0	0
定时器	高级	2			
	32 位通用	2			
	16 位通用	8			
	基本	2			
	SysTick	1			
	IWDG	1			
	WWDG	1			
	RTC	1			
通信接口	I ² C	3	1	3	3
	SPI_I ² S	4	3	4	4
	USART+UART	4+4	2+3	4+4	4+4
	CAN	1	1	1	1
模	12 位 ADC 转换	2			

拟模块	器/通道数	16	10	16	16
	GPIO	80	41	80	53
	工作温度	-40 °C 至 +85°C			
	封装形式	LQFP100 14 x 14 mm	QFN48 7 x 7 mm	LQFP100 14 x 14 mm	QFN60 6 x 6 mm

注1: 在 1536 KB 模式下, 关闭零等待;
 在 1408 KB 模式下, 零等待延迟 (zero wait state) 的闪存容量限制为 128K 字节;
 在 1152 KB 模式下, 零等待延迟 (zero wait state) 的闪存容量限制为 384K 字节;
 在 1024 KB 模式下, 零等待延迟 (zero wait state) 的闪存容量限制为 512K 字节;
 在 896KB 模式下, 零等待延迟 (zero wait state) 的闪存容量限制为 640K 字节;

2.2 概述

2.2.1 ARM® Cortex®-M4F, 配有 DSP 指令和 FPU

带有 FPU 内核的 ARM Cortex®-M4F 是最新一代的嵌入式 ARM 处理器, 它为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗, 同时提供卓越的计算性能和先进的中断系统响应。

带有 FPU 内核的 ARM Cortex®-M4F 处理器是一款 32 位的 RISC 处理器, 具有优异的代码效率, 采用通常 8 位和 16 位器件的存储器空间即可发挥 ARM® 内核的高性能。

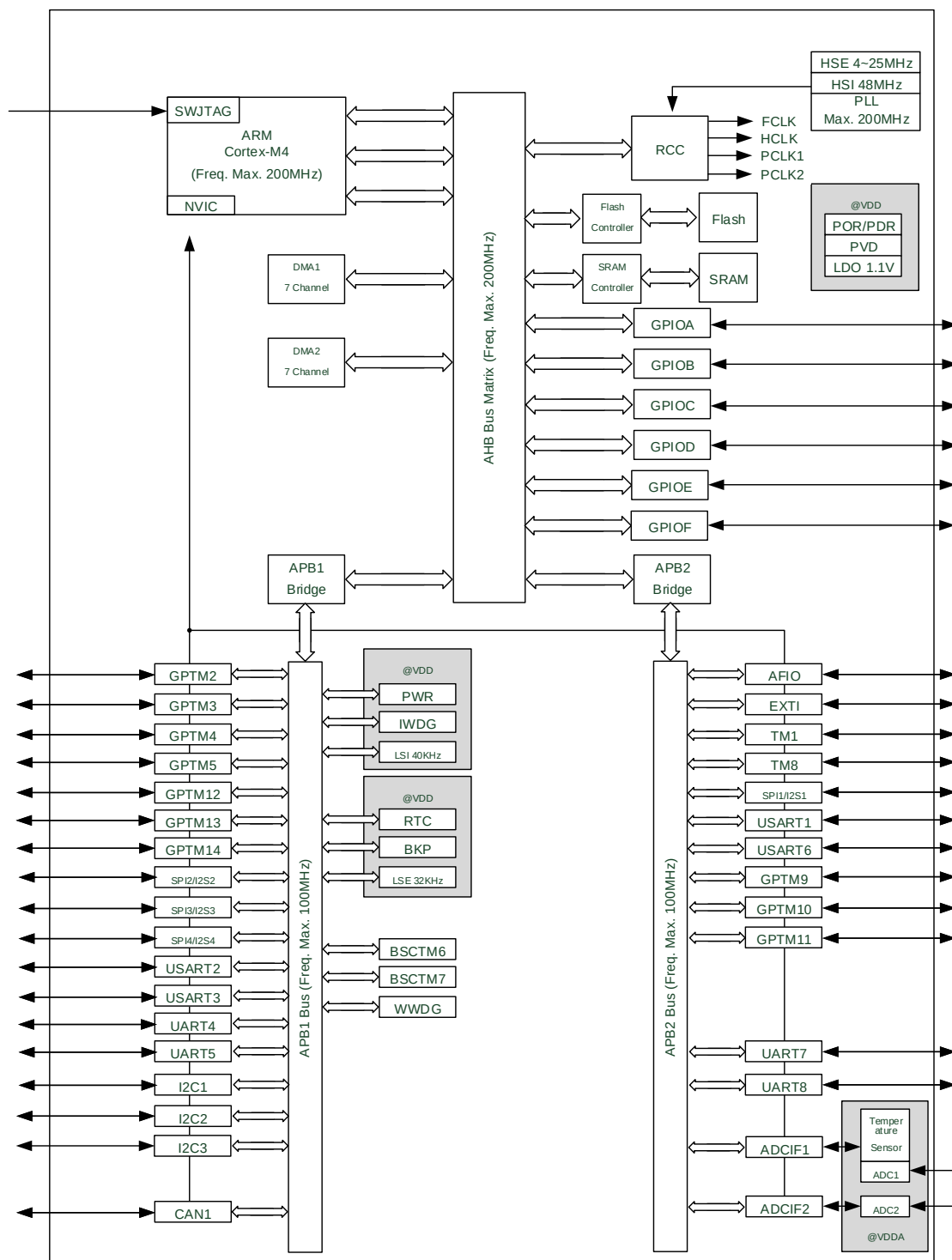
该处理器支持一组 DSP 指令, 能够实现有效的信号处理和复杂的算法执行。

它的单精度 FPU (浮点单元) 通过使用元语言开发工具, 可加速开发, 防止饱和。

V32G410x 系列与所有的 ARM 工具和软件兼容。

图 1 是该系列产品的功能框图。

图1. V32G410x 系列功能框图



注1: 配有 FPU 的 Cortex®-M4F 内核与 Cortex®-M3 内核二进制兼容。

2.2.2 存储器保护单元（MPU）

存储器保护单元（MPU）用于管理 CPU 对存储器的访问，防止一个任务意外损坏另一个激活任务所使用的存储器或资源。此存储区被组织为最多 8 个保护区，还可依次再被分为最多 8 个子区。

保护区大小可为 32 字节至可寻址存储器的整个 4 G 字节。

若应用中有一些关键的或认证的代码必须受到保护，以免被其它任务的错误行为影响，则 MPU 尤其有用。它通常由 RTOS（实时操作系统）管理。若程序访问的存储器位置被 MPU 禁止，则 RTOS 可检测到它并采取行动。在 RTOS 环境中，内核可基于执行的进程，动态更新 MPU 区的设置。

MPU 是可选的，若应用不需要则可绕过。

2.2.3 闪存存储器

内置高达 4096 K 字节的闪存存储器，用于存放程序和数据。

额外提供外部 SPI 闪存程序数据存储器接口 SPIM（SPI Memory），可访问最大容量高达 16M 字节作为扩充的闪存存储区块 2（Bank 2）使用。

2.2.4 循环冗余校验（CRC）计算单元

CRC（循环冗余校验）计算单元使用一个固定的多项式发生器，从一个 32 位的数据字产生一个 CRC 码。在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC60335-1 标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

2.2.5 内置 SRAM

高达 1536 K 字节的内置 SRAM，CPU 能以零等待周期访问（读/写）。

2.2.6 嵌套的向量式中断控制器（NVIC）

V32G410x 系列产品内置嵌套的向量式中断控制器，可管理 16 个优先级，处理带 FPU 的 Cortex® -M4F 内核的最多 79 个可屏蔽中断通道及 16 个中断线。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的 NVIC 接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

2.2.7 外部中断/事件控制器 (EXTI)

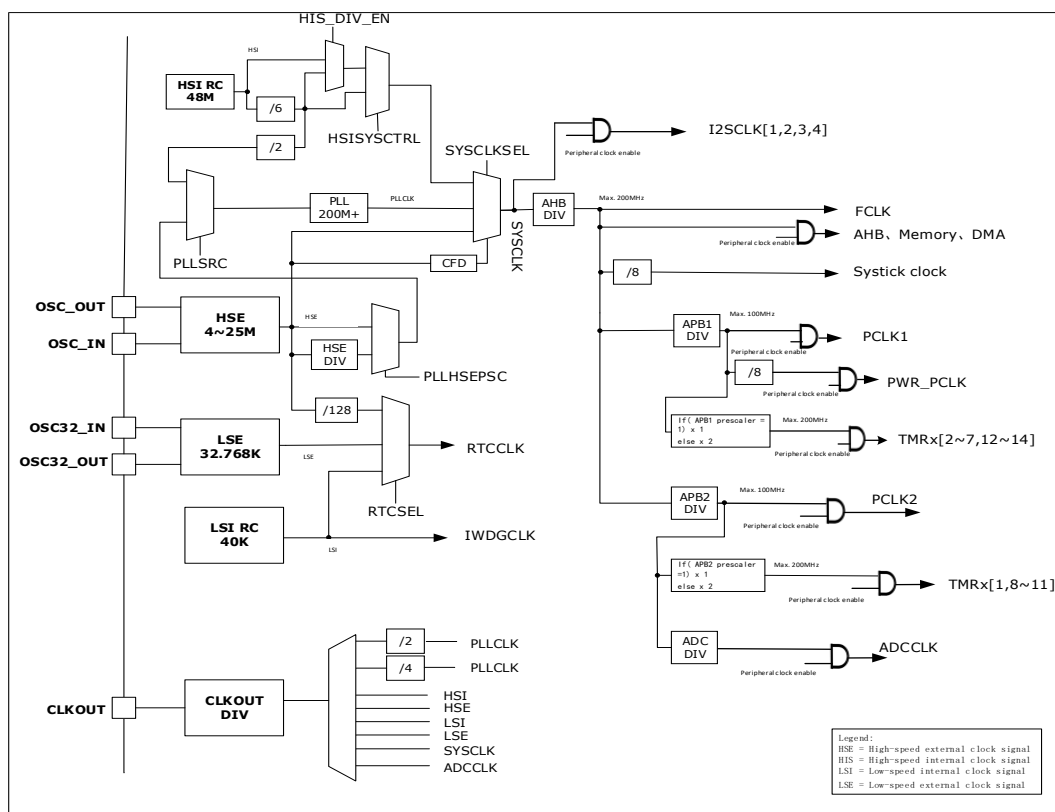
外部中断/事件控制器包含 18 个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件（上升沿或下降沿或双边沿），并能够单独地被屏蔽；有一个挂起寄存器维持所有中断请求的状态。EXTI 可以检测到脉冲宽度小于内部 APB2 的时钟周期。多达 80 个通用 I/O 口连接到 16 个外部中断线。EXTI 信号可以是 16 个外部 I/O 口之一、PVD 的输出、RTC 闹钟。

2.2.8 时钟和启动

系统时钟的选择是在启动时进行，复位时内部 48 MHz 的 RC 振荡器经 6 分频后（8 MHz）被选为默认的 CPU 时钟，随后可以选择外部的、具失效监控的 4~25 MHz 时钟；当检测到外部时钟失效时，它将被隔离，系统将自动地切换到内部的 RC 振荡器，如果使能了中断，软件可以接收到相应的中断。同样，在需要时可以采取对 PLL 时钟完全的中断管理（如当一个间接使用的外部振荡器失效时）。

多个预分频器用于配置 AHB 的频率、APB（APB1 和 APB2）区域。AHB 的最高频率是 200 MHz，APB 的最高频率为 100 MHz。参考图 2 的时钟驱动框图。

图2. 时钟树



2.2.9 启动模式

在启动时，通过对启动引脚设置可以选择三种启动模式中的一种：

- 从程序闪存存储器启动。用户可以默认选择从区块 1（Bank 1）启动，也可以设置选择字节而选择从区块 2（Bank 2）启动。
- 从系统存储器启动。
- 从内部 SRAM 启动。

启动加载程序（Bootloader）存放于系统存储器中，可以通过 USART1，USART2 对闪存重新编程。表 3 提供启动加载程序（Bootloader）对 V32G410x 的管脚配置。

表3. 启动加载程序（Bootloader）的管脚配置

外设	对应管脚
USART1	PA9: USART1_TX PA10: USART1_RX
USART2	PA2: USART2_TX（重映射） PA3: USART2_RX（重映射）

2.2.10 供电方案

- VDD = 2.6 ~ 3.6 V: VDD 引脚为 I/O 引脚和内部调压器供电。
- VDDA = 2.6 ~ 3.6 V: 为 ADC 供电。VDDA 和 VSSA 必须分别连接到 VDD 和 VSS。

关于如何连接电源引脚的详细信息，参见图 9 供电方案。

2.2.11 供电监控器

本产品内部集成了上电复位（POR）/掉电复位（PDR）电路，该电路始终处于工作状态，保证系统在供电超过 2.6 V 时工作；当 VDD 低于设定的阈值（VPOR/PDR）时，置器件于复位状态，而不必使用外部复位电路。

器件中还有一个可编程电压监测器（PVD），它监视 VDD 供电并与阈值 VPVD 比较，当 VDD 低于或高于阈值 VPVD 时产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。关于 VPOR/PDR 和 VPVD 的值参考表 11。

2.2.12 低功耗模式

V32G410x 系列产品支持两种低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

睡眠模式

在睡眠模式，只有 CPU 停止，所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

停机模式

在保持 SRAM 和寄存器内容不丢失的情况下，停机模式可以达到最低的电能消耗。在停机模式下，停止所有内部 1.1 V 部分的供电，PLL、HSI 的 RC 振荡器和 HSE 晶体振荡器被关闭，调压器被置于主模式。

可以通过任一配置成 EXTI 的信号把微控制器从停机模式中唤醒，EXTI 信号可以是 16 个外部 I/O 口之一、PVD 的输出、RTC 闹钟。

2.2.13 直接存储器访问控制器（DMA）

灵活的 14 路通用 DMA（DMA1 上有 7 个通道，DMA2 上有 7 个通道）可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输。2 个 DMA 控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件 DMA 请求逻辑，同时可以由软件触发每个通道。传输的长度、传输的源

地址和目标地址都可以通过软件单独设置。

DMA 可以用于主要的外设：SPI，I2C，USART，通用、基本和高级控制定时器 TMRx，I2S 和 ADC。

2.2.14 实时时钟（RTC）和后备寄存器

RTC 和后备寄存器由 VDD 供电。后备寄存器（64 个 16 位的寄存器）保存 128 个字节的用户应用数据。RTC 和后备寄存器不会被系统或电源复位源复位；

实时时钟具有一组连续运行的计数器，可以通过适当的软件提供日历时钟功能，还具有闹钟中断和阶段性中断功能。RTC 的驱动时钟可以是一个使用外部晶体的 32.768 kHz 的振荡器、内部低功耗 RC 振荡器或高速的外部时钟经 128 分频。内部低功耗 RC 振荡器的典型频率为 40 kHz。为补偿天然晶体的偏差，RTC 时钟可以经 64 分频输出到侵入检测引脚 TAMPER 上对 RTC 的时钟进行校准。RTC 具有一个 32 位的可编程计数器，使用比较寄存器可以进行长时间的测量。有一个 20 位的预分频器用于时基时钟，默认情况下时钟为 32.768 kHz 时，它将产生一个 1 秒长的时间基准。

2.2.15 定时器和看门狗（TMR/WDG）

V32G410x 系列产品包含最多 2 个高级控制定时器、10 个普通定时器和 2 个基本定时器，以及 2 个看门狗定时器和 1 个系统嘀嗒定时器。

下表比较了高级控制定时器、普通定时器和基本定时器的功能：

表4. 定时器功能比较

定时器	计数器分辨率	计数器类型	预分频系	产生 DMA 请求	捕获/比较通道	互补输出
TMR1,TMR8	16 位	向上，向下，向上/下	1~65536之间的任意整数	可以	4	有
TMR2,TMR5	32 位	向上，向下，向上/下	1~65536之间的任意整数	可以	4	没有
TMR3,TMR4	16 位	向上，向下，向上/下	1~65536之间的任意整数	可以	4	没有
TMR9,TMR12	16 位	向上	1~65536之间的任意整数	不可以	2	没有
TMR10,TMR11, TMR13,TMR14	16 位	向上	1~65536之间的任意整数	不可以	1	没有
TMR6,TMR7	16 位	向上	1~65536之间的任意整数	可以	0	没有

高级控制定时器（TMR1 和 TMR8）

两个高级控制定时器（TMR1 和 TMR8）可以被看成是分配到 6 个通道的三相 PWM 发生器，它具有带死区插入的互补 PWM 输出，还可以被当成完整的通用定时器。四个独立的通道可以用于：

- 输入捕获
- 输出比较
- 产生 PWM（边缘或中心对齐模式）
- 单脉冲输出

配置为 16 位标准定时器时，它与 TMRx 定时器具有相同的功能。配置为 16 位 PWM 发生器时，它具有全调制能力（0~100%）。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。

很多功能都与标准的 TMR 定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与 TMR 定时器协同操作，提供同步或事件链接功能。

通用定时器（TMRx）

V32G410x 系列产品中，内置了多达 10 个可同步运行的定时器。

- TMR2, TMR3, TMR4 和 TMR5

V32G410x 系列内置了多达 4 个通用定时器（TMR2, TMR3, TMR4 和 TMR5）。TMR2 和 TMR5 是基于一个 32 位动加载递加/递减计数器和一个 16 位的预分频器。而 TMR3 和 TMR4 是基于一个 16 位动加载递加/递减计数器和一个 16 位的预分频器。这些定时器都提供 4 个独立的信道，每个信道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出，在最大的封装配置中可提供最多 16 个输入捕获、输出比较或 PWM 通道。

它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。任一标准定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制。

这些定时器还能够处理增量编码器的信号，也能处理 1 至 3 个霍尔传感器的数字输出。

- TMR9 和 TMR12

TMR9 和 TMR12 都有一个 16 位的自动加载递加计数器、一个 16 位的预分频器和 2 个独立的信道，每个信道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出，它们可以与全功能通用定时器（TMR2, TMR3, TMR4 和 TMR5）同步。它们也可以用作简单的定时器。

- TMR10, TMR11, TMR13 和 TMR14

这些定时器都有一个 16 位的自动加载递加计数器、一个 16 位的预分频器和 1 个独立的信道，每个信道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出，它们可以与全功能通用定时器（TMR2, TMR3, TMR4 和 TMR5）同步。它们也可以用作简单的定时器。

基本定时器（TMR6 和 TMR7）

这 2 个定时器可当成通用的 16 位时基计数器。

独立看门狗（IWDG）

独立的看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40

kHz 的 RC 振荡器提供时钟；因为这个 RC 振荡器独立于主时钟，所以它可运行于停机模式。它可以被当成看门狗用于在发生时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选择字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

窗口看门狗（WWDG）

窗口看门狗内有一个 7 位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

系统时基定时器（SysTick）

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

2.2.16 内部集成电路总线（I2C）

多达 3 个 I2C 总线接口，能够工作于主模式，支持标准和快速模式。

I2C 接口支持 7 位或 10 位寻址。内置了硬件 CRC 发生器/校验器。

它们可以使用 DMA 操作并支持 SMBus 总线 2.0 版/PMBus 总线。

2.2.17 通用同步/异步收发器（USART）

V32G410x 系列产品中，内置了 4 个通用同步/异步收发器（USART1，USART2，USART3 和 USART6），和 4 个通用异步收发器（UART4，UART5，UART7 和 UART8）。

这 8 个接口提供异步通信、支持 IrDA SIR ENDEC 传输编解码、多处理器通信模式、单线半双工通信模式和 LIN 主/从功能。

这 8 个接口通信速率均可达 5.625 兆位/秒。

USART1, USART2 和 USART3 接口具有硬件的 CTS 和 RTS 信号管理。USART1，USART2，USART3 和 USART6 接口兼容 ISO7816 的智能卡模式和类 SPI 通信模式。所有接口都可以使用 DMA 操作。

表5. USART/UART 功能比较

USART/UART 功能	USART1	USART2	USART3	UART4	UART5	USART6	UART7	UART8
调制解调器的硬件流控	支持	支持	支持					

使用 DMA 连续通信	支持	支持	支持	支持	支持	支持	支持	支持
多处理器通信	支持	支持	支持	支持	支持	支持	支持	支持
同步模式	支持	支持	支持			支持		
智能卡模式	支持	支持	支持			支持		
单线半双工通信	支持	支持	支持	支持	支持	支持	支持	支持
红外 IrDA SIR 编解码	支持	支持	支持	支持	支持	支持	支持	支持

2.2.18 串行外设接口 (SPI)

多达 4 个 SPI 接口，在从或主模式下，全双工和半双工的通信速率可达 50 兆位/秒。3 位的预分频器可产生 8 种主模式频率，可配置成每帧 8 位或 16 位。

所有的 SPI 接口都可以使用 DMA 操作。

2.2.19 内部集成音频接口 (I2S)

4 个标准的 I2S 接口（与 SPI 复用）可以在主模式下工作于半双工模式。这 4 个接口可以配置为 16 位或 32 位传输，亦可配置为输入或输出通道，支持音频采样频率从 8 kHz 到 192 kHz。它的主时钟可以以 256 倍采样频率输出给外部的 DAC 或 CODEC（解码器）。

2.2.20 控制器区域网络 (CAN)

CAN 接口兼容规范 2.0A 和 2.0B（主动），位速率高达 1 兆位/秒。它可以接收和发送 11 位标识符的标准帧，也可以接收和发送 29 位标识符的扩展帧。

2.2.21 通用输入输出口 (GPIO)

每个 GPIO 引脚都可以由软件配置成输出（推挽）、输入（下拉或无上拉/下拉）或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共享。所有的 GPIO 引脚都有大电流通过能力。

在需要的情况下，I/O 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 I/O 寄存器。

2.2.22 重映像功能

此功能使用户可以在选定的器件下实现最多数量的外设功能。那些复用的外设功能不仅仅可以通过默认的引脚实现，还可以通过其他那些可重映射的引脚实现。这使得引脚的选择更加灵活，制板更加方便。

具体请参考表 5，列出了所有那些可以重映像的外设功能，以及重映像到的引脚。请参考 V32G410x 产品手册来获得软件配置的详细信息。

2.2.23 模拟/数字转换器（ADC）

V32G410x 系列产品，内嵌 2 个 12 位的模拟/数字转换器（ADC），共享多达 16 个外部通道，可以实现单次或扫描转换。在扫描模式下，自动进行在选定的一组模拟输入上的转换。

ADC 可以使用 DMA 操作。

模拟看门狗功能允许非常精准地监视一路、多路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。

由标准定时器（TMRx）和高级控制定时器（TMR1 和 TMR8）产生的事件，可以分别内部级联到 ADC 的开始触发和注入触发，应用程序能使 A/D 转换与时钟同步。

2.2.24 温度传感器

温度传感器产生一个随温度线性变化的电压，转换范围在 $2.6\text{ V} \leq V_{DDA} \leq 3.6\text{ V}$ 之间。温度传感器在内部被连接到 ADC1_IN16 的输入通道上，用于将传感器的输出转换到数字数值。

2.2.25 串行线 JTAG 调试口（SWJ-DP）

内嵌 ARM 的 SWJ-DP 接口，这是一个由 JTAG 和串行线调试端口结合而成，可以实现要连接到目标的串行线调试接口或 JTAG 接口。

JTAG 的 TMS 和 TCK 信号分别与 SWDIO 和 SWCLK 共享引脚，TMS 脚上的一个特殊的信号序列用于在 JTAG-DP 和 SW-DP 间切换。

3 引脚定义

图3. V32G410CGU7 QFN48 引脚分布

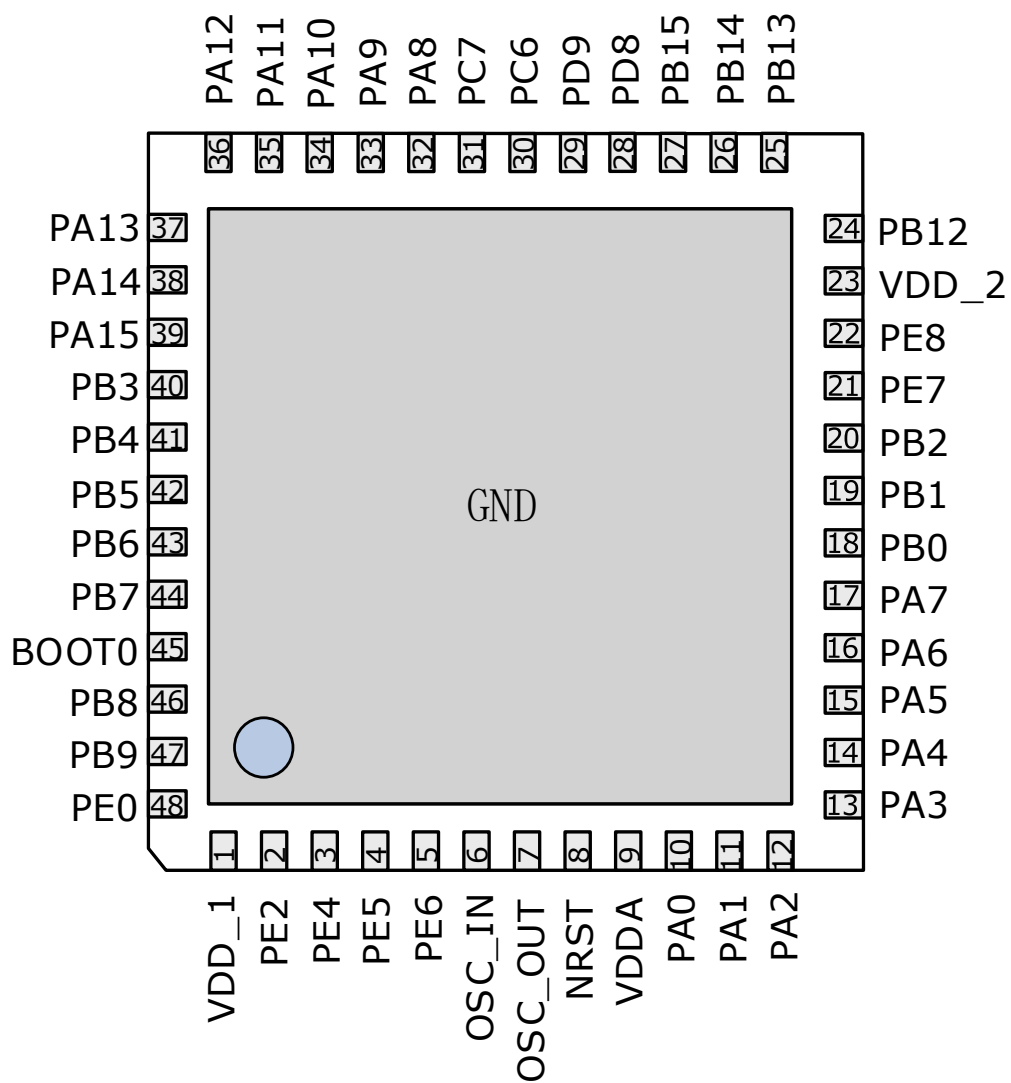


图4. V32G410DUU6 QFN60 引脚分布

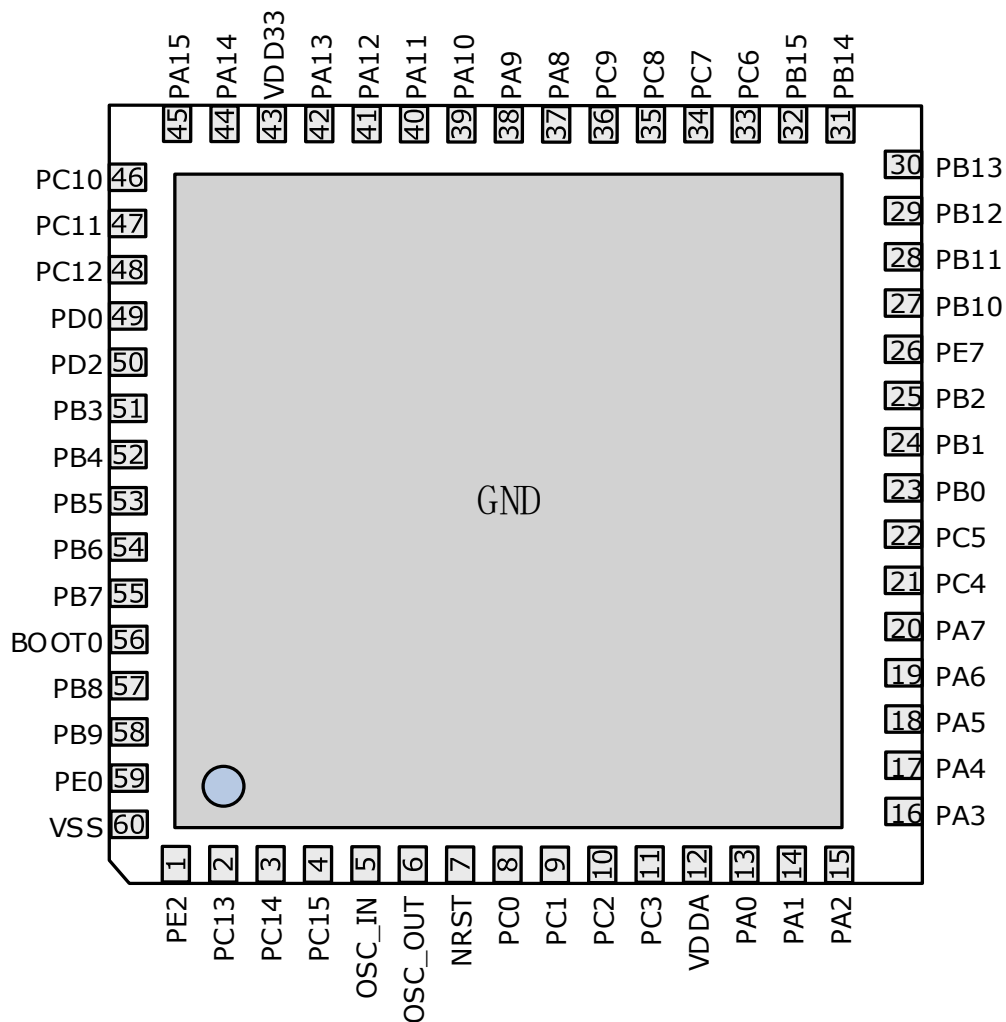
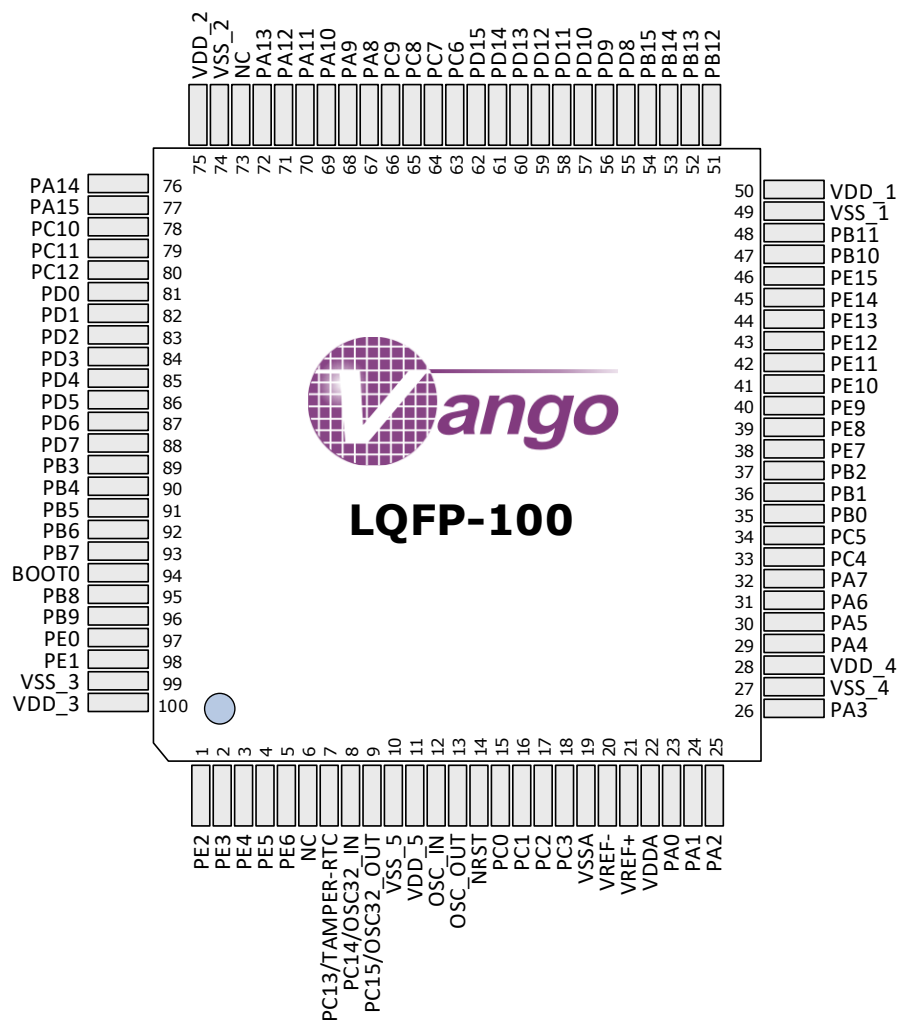


图5. V32G410VUT7/ V32G410VGT7 LQFP100 引脚分布



下表为 V32G410x 系列引脚定义。复用功能按照优先级从高到低排列，基本原则模拟信号高于数字信号，输出数字信号高于输入数字信号。

表6. V32G410x 系列引脚定义

引脚号				引脚名称	种类 ⁽¹⁾	IO电平 ⁽²⁾	主功	复用功能 ⁽³⁾	
V32G410x	V32G410VUT7 V32G410VGT7	V32G410CGU7	V32G410DUU6					默认功能	重映射
1	-	-		NC	未连接	-	-	-	-
2	1	2	1	PE2	I/O	NT	PE2	SPI4_SCK ⁽⁵⁾ / I2S4_CK ⁽⁵⁾	-
3	2	-		PE3	I/O	FT	PE3	-	-
4	3	3		PE4	I/O	FT	PE4	SPI4_NSS ⁽⁵⁾ / I2S4_WS ⁽⁵⁾	-
5	4	4		PE5	I/O	FT	PE5	SPI4_MISO ⁽⁵⁾	TMR9_CH1
6	5	5		PE6	I/O	FT	PE6	SPI4_MOSI ⁽⁵⁾ / I2S4_SD ⁽⁵⁾	TMR9_CH2
7	-	-		NC	未连接	-	-	-	-
8	6	-		NC	未连接	-	-	-	-
9	7	-	2	TAMPER-RTC/ PC13 ⁽⁵⁾	I/O	FT	PC13 ⁽⁴⁾	TAMPER-RTC	-



10	8	-	3	OSC32_IN/ PC14 ⁽⁵⁾	I/O	NT	PC14 ⁽⁶⁾	OSC32_IN	-
11	9	-	4	OSC32_OUT/ PC15 ⁽⁵⁾	I/O	NT	PC15	OSC32_OUT	-
12	-	-		NC	未连接	-	-	-	-
13	10	-		VSS_5	S	-	VSS_5	-	-
14	11	-		VDD_5	S	-	VDD_5	-	-
15	12	6	5	OSC_IN	I/O	NT	OSC_IN	-	-
16	13	7	6	OSC_OUT	I/O	NT	OSC_OUT	-	-
17	14	8	7	NRST	I/O	-	NRST	-	-
18	-	-		NC	未连接	-	-	-	-
19	15	-	8	PC0	I/O	NT	PC0	ADC1/2_IN10	-
20	16	-	9	PC1	I/O	NT	PC1	ADC1/2_IN11	-
21	-	-		NC	未连接	-	-	-	-
22	17	-	10	PC2	I/O	NT	PC2	ADC1/2_IN12	UART8_TX
23	18	-	11	PC3	I/O	NT	PC3	ADC1/2_IN13	UART8_RX
24	19	-		VSSA	S	-	VSSA	-	-
25	-	-		NC	未连接	-	-	-	-
26	20	-		VREF-	S	-	VREF-	-	-
27	21	-		VREF+	S	-	VREF+	-	-
28	22	9	12	VDDA	S	-	VDDA	-	-
29	23	10	13	PA0	I/O	NT	PA0	ADC1/2_IN0/ USART2_CTS ⁽⁵⁾ / TMR2_CH1 ⁽⁵⁾ /	UART4_TX

								TMR2_ETR ⁽⁵⁾ / TMR5_CH1/ TMR8_ETR	
30	24	11	14	PA1	I/O	NT	PA1	ADC1/2_IN1/ USART2_RTS ⁽⁵⁾ / TMR2_CH2 ⁽⁵⁾ / TMR5_CH2	UART4_RX
31	25	12	15	PA2	I/O	NT	PA2	ADC1/2_IN2/ USART2_TX ⁽⁵⁾ / TMR2_CH3 ⁽⁵⁾ / TMR5_CH3/ TMR9_CH1 ⁽⁵⁾	-
32	-	-		NC	未连接				
33	-	-		SPIM_IO0	I/O	FT	SPIM_IO0	PF2	-
34	26	13	16	PA3	I/O	NT	PA3	ADC1/2_IN3/ USART2_RX ⁽⁵⁾ / TMR2_CH4 ⁽⁵⁾ / TMR5_CH4/ TMR9_CH2 ⁽⁵⁾	I2S2_MCK
35	27	-		VSS_4	S	-	VSS_4	-	-
36	28	-		VDD_4	S	-	VDD_4	-	-
37	-	-		SPIM_SCK	O	FT	SPIM_SCK	PF4	-
38	29	14	17	PA4	I/O	NT	PA4	ADC1/2_IN4/ USART2_CK ⁽⁵⁾ / SPI1_NSS ⁽⁵⁾ / I2S1_WS ⁽⁵⁾	USART6_TX/ SPI3_NSS/ I2S3_WS
39	30	15	18	PA5	I/O	NT	PA5	ADC1/2_IN5/ SPI1_SCK	USART6_RX

								⁽⁵⁾ / I2S1_CK ⁽⁵⁾	
40	31	16	19	PA6	I/O	NT	PA6	ADC1/2_IN6/ SPI1_MISO ⁽⁵⁾ / TMR3_CH1 ⁽⁵⁾ / TMR8_BKIN/ TMR13_CH1	I2S2_MCK/ TMR1_BKIN
41	-	-		SPIM_IO3	I/O	FT	SPIM_IO3	PF0	-
42	32	17	20	PA7	I/O	NT	PA7	ADC1/2_IN7/ SPI1_MOSI ⁽⁵⁾ / I2S1_SD ⁽⁵⁾ / TMR3_CH2 ⁽⁵⁾ / TMR8_CH1N/ TMR14_CH1	TMR1_CH1N
43	33	-	21	PC4	I/O	NT	PC4	ADC1/2_IN14	-
44	34	-	22	PC5	I/O	NT	PC5	ADC1/2_IN15	-
45	35	18	23	PB0	I/O	NT	PB0	ADC1/2_IN8/ I2S1_MCK ⁽⁵⁾ / TMR3_CH3 ⁽⁵⁾ / TMR8_CH2N	TMR1_CH2N
46	-	-		NC	未连接				
47	36	19	24	PB1	I/O	NT	PB1	ADC1/2_IN9/ TMR3_CH4 ⁽⁵⁾ / TMR8_CH3N	TMR1_CH3N
48	37	20	25	PB2	I/O	FT	PB2/ BOOT1	-	-
49	38	21	26	PE7	I/O	FT	PE7	UART7_RX ⁽⁵⁾	TMR1_ETR
50	39	22		PE8	I/O	FT	PE8	UART7_TX ⁽⁵⁾	TMR1_CH1N
51	40	-		PE9	I/O	FT	PE9	-	TMR1_CH1

52	-	-		NC	未连接				
53	41	-		PE10	I/O	FT	PE10	-	TMR1_CH2N
54	42	-		PE11	I/O	FT	PE11	-	SPI4_SCK/ I2S4_CK/ TMR1_CH2
55	43	-		PE12	I/O	FT	PE12	-	SPI4_NSS/ I2S4_WS/ TMR1_CH3N
56	-	-		NC	未连接				
57	44	-		PE13	I/O	FT	PE13	-	SPI4_MISO/ TMR1_CH3
58	45	-		PE14	I/O	FT	PE14	-	SPI4_MOSI/ I2S4_SD/ TMR1_CH4
59	46	-		PE15	I/O	FT	PE15	-	TMR1_BKIN
60	47	-	27	PB10	I/O	FT	PB10	USART3_TX ⁽⁵⁾ / I2C2_SCL	I2S3_MCK/ TMR2_CH3
61	48	-	28	PB11	I/O	FT	PB11	USART3_RX ⁽⁵⁾ / I2C2_SDA	TMR2_CH4
62	49	-		VSS_1	S	-	VSS_1	-	-
63	50	1		VDD_1	S	-	VDD_1	-	-
64	-	-		NC	未连接				
65	-	-		NC	未连接				
66	51	24	29	PB12	I/O	FT	PB12	USART3_CK ⁽⁵⁾ / I2C2_SMBA/ SPI2_NSS/	-

								I2S2_WS/ TMR1_BKIN ⁽⁵⁾	
67	52	25	30	PB13	I/O	FT	PB13	USART3_CTS ⁽⁵⁾ / SPI2_SCK/ I2S2_CK/ TMR1_CH1N ⁽⁵⁾	-
68	53	26	31	PB14	I/O	FT	PB14	USART3_RTS ⁽⁵⁾ / SPI2_MISO/ TMR1_CH2N ⁽⁵⁾ / TMR12_CH1	-
69	-	-		NC	未连接				
70	54	27	32	PB15	I/O	FT	PB15	SPI2_MOSI/ I2S2_SD/ TMR1_CH3N ⁽⁵⁾ / TMR12_CH2	-
71	55	28		PD8	I/O	FT	PD8	-	USART3_TX
72	56	29		PD9	I/O	FT	PD9	-	USART3_RX
73	-	-		NC	未连接				
74	57	-		PD10	I/O	FT	PD10	-	USART3_CK
75	58	-		PD11	I/O	FT	PD11	-	USART3_CTS
76	59	-		PD12	I/O	FT	PD12	-	USART3_RTS/ TMR4_CH1
77	60	-		PD13	I/O	FT	PD13	-	TMR4_CH2
78	-	-		NC	未连接				
79	61	-		PD14	I/O	FT	PD14	-	TMR4_CH3
80	62	-		PD15	I/O	FT	PD15	-	TMR4_CH4
81	63	30	33	PC6	I/O	FT	PC6	USART6_TX ⁽⁵⁾ /	TMR3_CH1

								I2S2_MCK ⁽⁵⁾ / TMR8_CH1	
82	64	31	34	PC7	I/O	FT	PC7	USART6_RX ⁽⁵⁾ / I2S3_MCK ⁽⁵⁾ / TMR8_CH2	TMR3_CH2
83	65	-	35	PC8	I/O	FT	PC8	USART6_CK/ I2S4_MCK ⁽⁵⁾ / TMR8_CH3	TMR3_CH3
84	-	-		NC	未连接				
85	66	-	36	PC9	I/O	FT	PC9	I2C3_SDA ⁽⁵⁾ / TMR8_CH4	TMR3_CH4
86	67	32	37	PA8	I/O	NT	PA8	CLKOUT/ USART1_CK/ I2C3_SCL/ TMR1_CH1 ⁽⁵⁾	-
87	68	33	38	PA9	I/O	FT	PA9	USART1_TX ⁽⁵⁾ / I2C3_SMBA/ TMR1_CH2 ⁽⁵⁾	-
88	-	-		NC	未连接				
89	69	34	39	PA10	I/O	FT	PA10	USART1_RX ⁽⁵⁾ / TMR1_CH3 ⁽⁵⁾	I2S4_MCK
90	70	35	40	PA11	I/O	FT	PA11	USART1_CTS/ CAN1_RX ⁽⁵⁾ / TMR1_CH4 ⁽⁵⁾	-
91	71	36	41	PA12	I/O	FT	PA12	USART1_RTS/ CAN1_TX ⁽⁵⁾ / TMR1_ETR ⁽⁵⁾	-
92	72	37	42	PA13	I/O	FT	JTMS-SWDIO	-	PA13
93	73	-		NC	未连接				
94	74	-		VSS_2	S	-	VSS_2	-	-

95	75	23	43	VDD_2	S	-	VDD_2	-	-
96	-	-		NC	未连接				
97	-	-		NC	未连接				
98	76	38	44	PA14	I/O	FT	JTCK-SWCLK	-	PA14
99	77	39	45	PA15	I/O	FT	JTDI	SPI3_NSS ⁽⁵⁾ / I2S3_WS ⁽⁵⁾	PA15/ SPI1_NSS/ I2S1_WS/ TMR2_CH1/ TMR2_ETR
100	78	-	46	PC10	I/O	FT	PC10	UART4_TX ⁽⁵⁾	USART3_TX/ SPI3_SCK/ I2S3_CK
101	79	-	47	PC11	I/O	FT	PC11	UART4_RX ⁽⁵⁾	USART3_RX/ SPI3_MISO
102	-	-		NC	未连接				
103	80	-	48	PC12	I/O	FT	PC12	UART5_TX ⁽⁵⁾	USART3_CK/ SPI3_MOSI/ I2S3_SD
104	81	-	49	PD0	I/O	FT	PD0	-	CAN1_RX
105	82	-		PD1	I/O	FT	PD1	-	CAN1_TX
106	83	-	50	PD2	I/O	FT	PD2	UART5_RX ⁽⁵⁾ / TMR3_ETR	-
107	-	-		NC	未连接				
108	84	-		PD3	I/O	FT	PD3	-	USART2_CTS
109	85	-		PD4	I/O	FT	PD4	-	USART2_RTS

110	86	-		PD5	I/O	FT	PD5	-	USART2_TX
111	-	-		NC	未连接				
112	87	-		PD6	I/O	FT	PD6	-	USART2_RX
113	88	-		PD7	I/O	FT	PD7	-	USART2_CK
114	89	40	51	PB3	I/O	FT	JTDO	SPI3_SCK ⁽⁵⁾ / I2S3_CK ⁽⁵⁾	PB3/ UART7_RX/ SPI1_SCK/ I2S1_CK/ TMR2_CH2
115	90	41	52	PB4	I/O	FT	NJTRST	SPI3_MISO ⁽⁵⁾	PB4/ SPI1_MISO/ I2C3_SDA/ UART7_TX/ TMR3_CH1
116	-	-		SPIM_NSS	O	FT	SPIM_NSS	PF5	-
117	91	42	53	PB5	I/O	FT	PB5	SPI3_MOSI ⁽⁵⁾ / I2S3_SD ⁽⁵⁾ / I2C1_SMBA ⁽⁵⁾	SPI1_MOSI/ I2S1_SD/ TMR3_CH2
118	92	43	54	PB6	I/O	FT	PB6	I2C1_SCL ⁽⁵⁾ / TMR4_CH1 ⁽⁵⁾	USART1_TX/ I2S1_MCK/ SPI4_NSS/ I2S4_WS
119	93	44	55	PB7	I/O	FT	PB7	I2C1_SDA ⁽⁵⁾ / TMR4_CH2 ⁽⁵⁾	USART1_RX/ SPI4_SCK/ I2S4_CK

120	-	-		SPIM_IO1	I/O	FT	SPIM_IO1	PF1	-
121	94	45	56	BOOT0	I	-	BOOT0	-	-
122	95	46	57	PB8	I/O	FT	PB8	TMR4_CH3 ⁽⁵⁾ / TMR10_CH1	UART5_RX/ SPI4_MISO/ I2C1_SCL/ CAN1_RX
123	96	47	58	PB9	I/O	FT	PB9	TMR4_CH4 ⁽⁵⁾ / TMR11_CH1	UART5_TX/ SPI4_MOSI/ I2S4_SD/ I2C1_SDA/ CAN1_TX
124	-	-		SPIM_IO2	I/O	FT	SPIM_IO2	PF3	-
125	97	48	59	PE0	I/O	FT	PE0	UART8_RX ⁽⁵⁾ / TMR4_ETR	-
126	98	-		PE1	I/O	FT	PE1	UART8_TX ⁽⁵⁾	-
127	99	-	60	VSS_3	S	-	VSS_3	-	-
128	100	-		VDD_3	S	-	VDD_3	-	-

注1: I = 输入, O = 输出, S = 电源。

注2: FT = 一般5V 电平容忍, NT = 不支持5V 电平容忍。有些功能仅在部分型号芯片中支持。

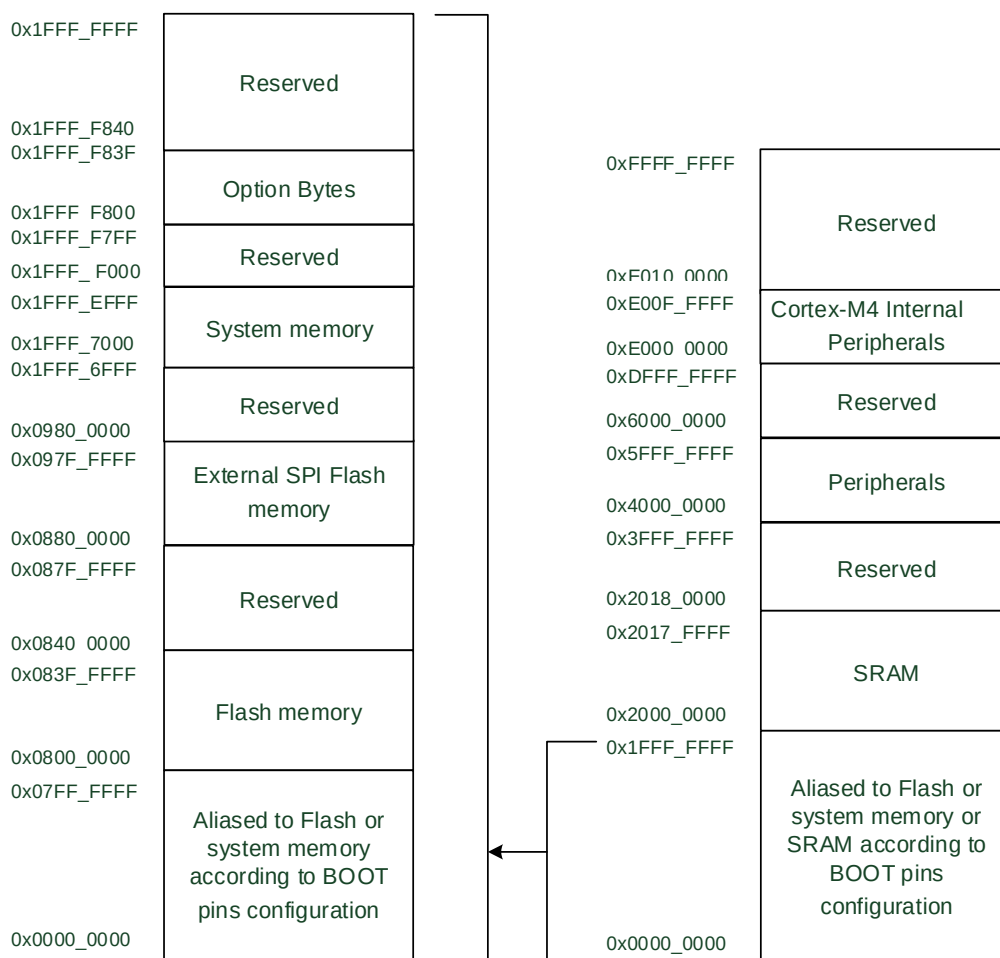
注3: 如果有多个外设功能映射到了同一个I/O 口, 为了避免外设的冲突, 在同一时间, 只能通过外设时钟的使能位 (在相应的RCC 外设时钟使能寄存器中) 使能一个外设。

注4: 这些引脚在备份区域第一次上电时处于主功能状态下, 之后即使复位, 这些引脚的状态由备份区域寄存器控制 (这些寄存器不会被主复位系统所复位)。关于如何控制这些IO 口的具体信息, 请参考V32G410x 系列产品手册的电池备份区域和BKP 寄存器的相关章节。

注5: 此类复用功能能够由软件配置到其他引脚上 (如果相应的封装型号有此引脚), 详细信息请参考V32G410x 系列产品手册的复用功能I/O 章节和调试设置章节。

4 存储器映像

图6. 存储器图



5 电气特性

5.1 测试条件

除非特别说明，所有电压的都以 V_{SS} 为基准。

5.1.1 最小和最大数值

除非特别说明，在生产线上在环境温度 $T_A = 25\text{ }^{\circ}\text{C}$ 和 $T_A = T_A$ 最大值下执行的测试，所有最小和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。

在每个表格下方的注解中说明为通过综合评估、设计模拟和/或工艺特性得到的数据，不会在生产线上进行测试。

5.1.2 典型数值

除非特别说明，典型数据是基于 $T_A = 25\text{ }^{\circ}\text{C}$ 和 $V_{DD} = 3.3\text{ V}$ 。这些数据仅用于设计指导而未经测试。

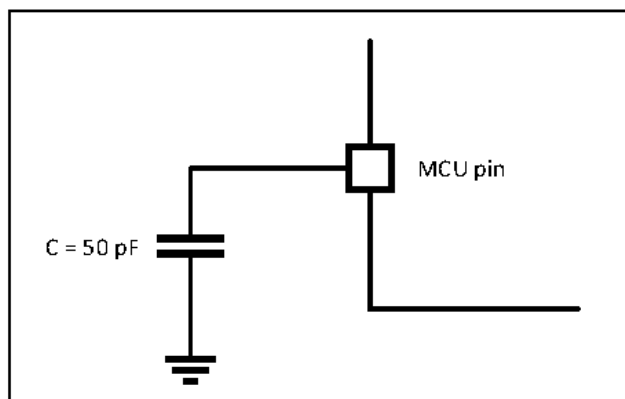
5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.4 负载电容

测量引脚参数时的负载条件示于图 7 中。

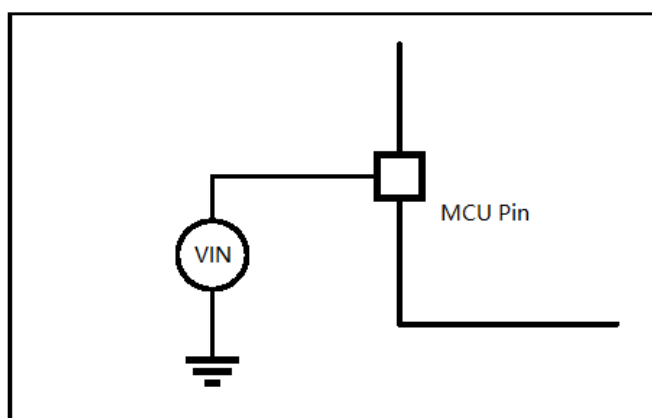
图7. 引脚的负载条件



5.1.5 引脚输入电压

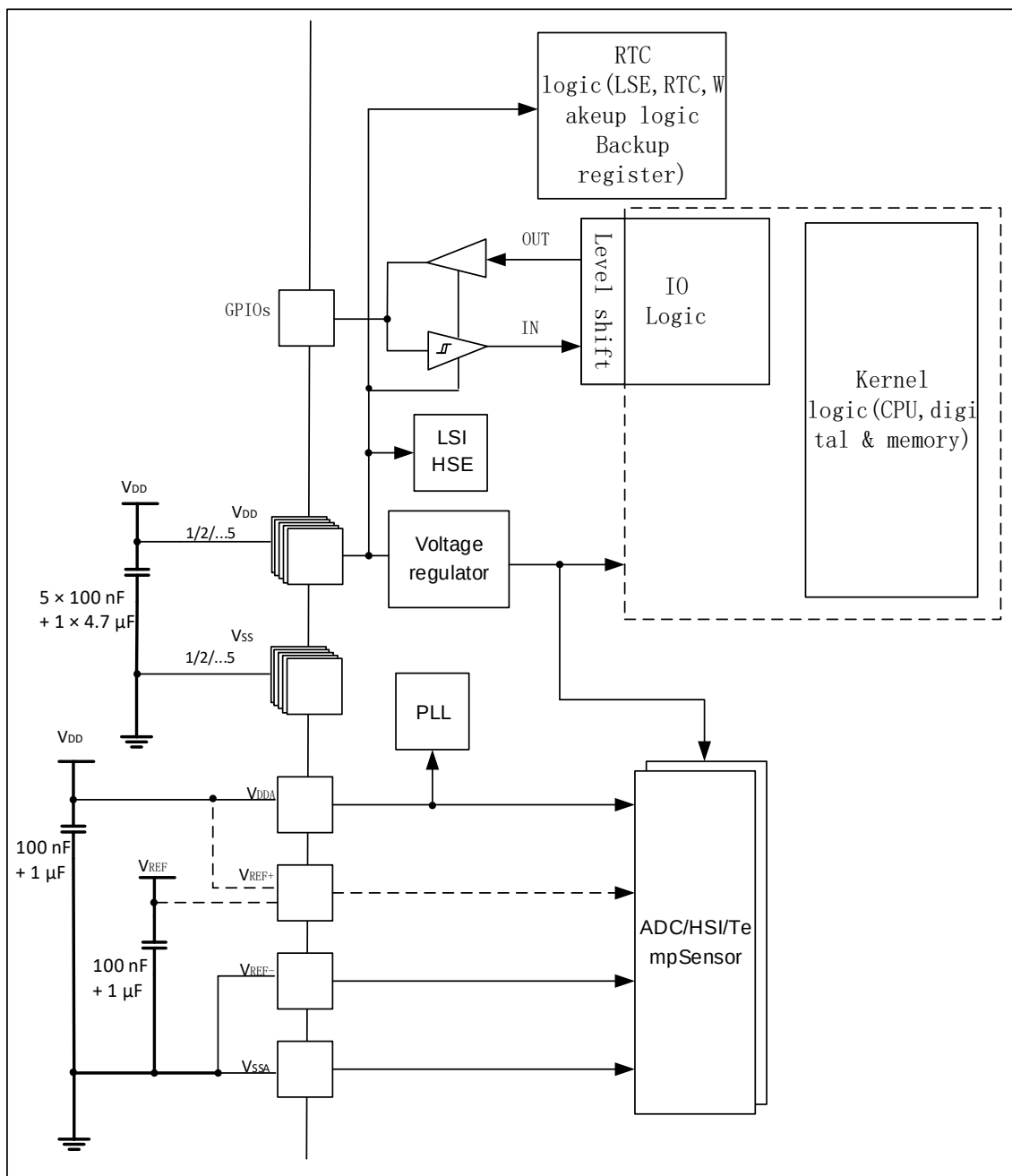
引脚上输入电压的测量方式示于图 8 中。

图8. 引脚输入电压



5.1.6 供电方案

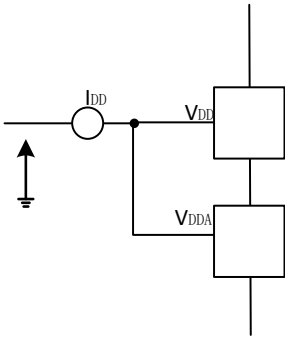
图9. 供电方案



注1: 上图中的 4.7 μF 电容必须连接到 VDD3。

5.1.7 电流消耗测量

图10. 电流消耗测量方案



5.2 绝对最大额定值

加在器件上的载荷如果超过「绝对最大额定值」列表（表 7，表 8，表 9）中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表7. 电压特性

符号	描述	最小值	最大值	单位
$V_{DD}-V_{SS}$	外部主供电电压（包含 VDDA 和 VDD） ⁽¹⁾	-0.3	4	V
V_{IN}	在 FT 引脚上的输入电压	$V_{SS}-0.3$	6	
	在 NT 引脚上的输入电压	$V_{SS}-0.3$	4	
$ \Delta V_{BDX} $	不同供电引脚之间的电压差	-	50	mV
$ V_{SSx}-V_{SS} $	不同接地引脚之间的电压差 ⁽²⁾	-	50	

注1: 所有的电源（VDD, VDDA）和地（VSS, VSSA）引脚必须始终连接到外部允许范围内的供电系统上。

注2: 包含 V_{REF}-脚。

表8. 电流特性

符号	描述	最大值	单位
I_{VDD}	外部主供电电压（包含 VDDA 和 VDD） ⁽¹⁾	150	mA
I_{VSS}	经过 VSS 地线的总电流（流出电流） ⁽¹⁾	150	
I_{IO}	任意 I/O 和控制引脚上的输出灌电流	25	
	任意 I/O 和控制引脚上的输出电流	-25	

注1: 所有的电源（VDD, VDDA）和地（VSS, VSSA）引脚必须始终连接到外部允许范围内的供电系统上。

表9. 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	-60 ~ +150	°C
T_J	最大结温度	105	

5.3 工作条件

5.3.1 通用工作条件

表10. 通用工作条件

符号	参数	条件	最小值	最大值	单位
f _{HCLK}	内部 AHB 时钟频率	-	0	200	MHz
f _{PCLK1}	内部 APB1 时钟频率	-	0	100	
f _{PCLK2}	内部 APB2 时钟频率	-	0	100	
V _{DD}	标准工作电压	-	2.6	3.6	V
V _{DDA} ⁽¹⁾	模拟部分工作电压	必须与 V _{DD} ⁽¹⁾ 相同	2.6	3.6	V
V _{DD}	备份部分工作电压	-	2.2	3.6	V
P _D	功率耗散: T _A = 85 °C	-	-	373	mW
T _A	环境温度	-	-40	85	°C

注1: 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电, 在上电和正常操作期间, V_{DD} 和 V_{DDA} 之间最多允许有 300 mV 的差别。

5.3.2 上电和掉电时的工作条件

下表中给出的参数是依据表 10 列出的环境温度下测试得出。

表11. 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t _{VDD}	V _{DD} 上升速率	-	0	∞ ⁽¹⁾	ms/V
	V _{DD} 下降速率		20	∞	μs/V

注1: 如果 V_{DD} 上升速率低于 120 ms/V, 则代码应在 V_{DD} 高于 VPOR+0.1V 后访问备份寄存器。

5.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 10 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表12. 内嵌复位和电源控制模块特性

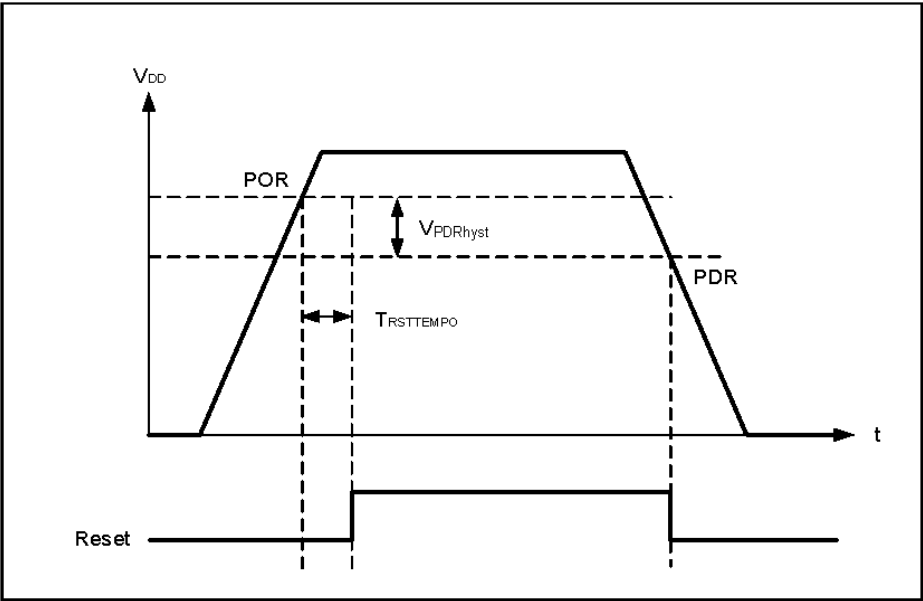
符号	参数	条件	最小值	典型值	最大值	单位
----	----	----	-----	-----	-----	----

V_{PVD}	可编程的电压检测器的电平选择	PVDS[2: 0] = 001 (上升沿) (1)		2.4		V
		PVDS[2: 0] = 001 (下降沿) (1)		2.3		V
		PVDS[2: 0] = 010 (上升沿)		2.5		V
		PVDS[2: 0] = 010 (下降沿)		2.4		V
		PVDS[2: 0] = 011 (上升沿)		2.6		V
		PVDS[2: 0] = 011 (下降沿)		2.5		V
		PVDS[2: 0] = 100 (上升沿)		2.7		V
		PVDS[2: 0] = 100 (下降沿)		2.6		V
		PVDS[2: 0] = 101 (上升沿)		2.8		V
		PVDS[2: 0] = 101 (下降沿)		2.7		V
		PVDS[2: 0] = 110 (上升沿)		2.9		V
		PVDS[2: 0] = 110 (下降沿)		2.8		V
		PVDS[2: 0] = 111 (上升沿)		3.0		V
		PVDS[2: 0] = 111 (下降沿)		2.9		V
$V_{PVDhyst}^{(2)}$	PVD 迟滞	-	-	100	-	mV
$V_{POR/PDR}$	上电/掉电复位阈值	下降沿		2.15		V
		上升沿		2.31		V
$V_{PDRhyst}^{(2)}$	PDR 迟滞	-	-	160	-	mV
$T_{RSTTEMPO}^{(2)}$	复位持续时间： V_{DD} 高于 V_{POR} 且持续时间超过 $T_{RSTTEMPO}$ 后 CPU 开始运行	EOPB0 = 0/1/2/3	-	0.7	-	ms
		EOPB0 = 4	-	70	-	
		EOPB0 = 5	-	200	-	
		EOPB0 = 6	-	270	-	
		EOPB0 = 7	-	330	-	

注1: $PVDS[2: 0] = 001$ 电平可能因低于 V_{POR}/PDR 无法使用。

注2: 由设计保证, 不在生产中测试。

图11. 上电复位和掉电复位的波形图



5.3.4 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、以及执行的代码等。

典型的电流消耗

微控制器处于下述条件下：

- 所有的 I/O 引脚都处于模拟输入。
- 所有的外设都处于关闭状态，除非特别说明。
- 指令预取功能开启（提示：这个参数必须在设置时钟和总线分频之前设置）。
- 环境温度和 VDD 供电电压符合电气特性参数
- 当开启外设时：
 - 若 $f_{HCLK} > 100\text{ MHz}$, $f_{PCLK1} = f_{HCLK}/2$, $f_{PCLK2} = f_{HCLK}/2$, $f_{ADCCLK} = f_{PCLK2}/4$;
 - 若 $f_{HCLK} \leq 100\text{ MHz}$, $f_{PCLK1} = f_{HCLK}$, $f_{PCLK2} = f_{HCLK}$, $f_{ADCCLK} = f_{PCLK2}/4$ 。

表13. 运行模式下的典型电流消耗

符号	参数	条件	f _{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设	关闭所有外设	
I _{DD}	运行模式下的供应电流	外部时钟 ⁽²⁾	200 MHz	57.1	39.4	mA
			192 MHz	55.7	38.4	
			180 MHz	53.4	37.1	
			100 MHz	38.7	27.1	
			48 MHz	25.4	19.5	
			24 MHz	19.4	16	
			8 MHz	13.6	12.5	

			4 MHz	12.2	11.7	
			2 MHz	11.7	11.4	
			1 MHz	11.5	11.3	
			500 KHz	11.3	11.2	
			125 KHz	11.2	11.1	
		运行于高速内部RC振荡器 (HSI)	200 MHz	48.1	33.2	mA
			192 MHz	46.7	32.3	
			180 MHz	44.8	31.2	
			100 MHz	32.7	23	
			48 MHz	21.6	16.7	
			24 MHz	16.6	13.8	
			8 MHz	11.8	10.9	
			4 MHz	10.6	10.2	
			2 MHz	10.2	10	
			1 MHz	10	9.8	
			500 KHz	9.9	9.8	
			125 KHz	9.8	9.7	

注1: 典型值是在 $TA = 25^{\circ}C$, $VDD = 3.3V$ 时测试得到。

注2: 外部时钟为8 MHz, 当 $f_{HCLK} > 8\text{ MHz}$ 时启用PLL。

表14. 睡眠模式下的典型电流消耗

符号	参数	条件	f_{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设	关闭所有外设	
I_{DD}	睡眠模式下的供应电流	外部时钟 ⁽²⁾	200 MHz	36.4	20.7	mA
			192 MHz	35.2	18	
			180 MHz	33.7	17.6	
			100 MHz	24.3	12.9	
			48 MHz	15	9.1	
			24 MHz	10.9	7.6	
			8 MHz	6.4	5.4	
			4 MHz	5.4	5	
			2 MHz	5.1	4.8	
			1 MHz	4.9	4.7	
			500 KHz	4.8	4.7	
			125 KHz	4.8	4.7	
		运行于高速内部RC振荡器 (HSI)	200 MHz	29.6	18	mA
			192 MHz	28.6	14.3	
			180 MHz	27.4	14	
			100 MHz	19.5	10	
			48 MHz	11.9	7	
			24 MHz	8.4	5.7	
			8 MHz	4.8	3.9	

			4 MHz	3.9	3.5	
			2 MHz	3.6	3.4	
			1 MHz	3.5	3.4	
			500 KHz	3.4	3.4	
			125 KHz	3.4	3.3	

注1: 典型值是在 $T_A = 25^\circ\text{C}$, $V_{DD} = 3.3\text{ V}$ 时测试得到。

注2: 外部时钟为 8 MHz, 当 $f_{HCLK} > 8\text{ MHz}$ 时启用 PLL。

最大电流消耗

微控制器处于下述条件下:

- 所有的 I/O 引脚都处于模拟输入。
- 所有的外设都处于关闭状态, 除非特别说明。
- 指令预取功能开启 (提示: 这个参数必须在设置时钟和总线分频之前设置)。
- 当开启外设时:
 - 若 $f_{HCLK} > 100\text{ MHz}$, $f_{PCLK1} = f_{HCLK}/2$, $f_{PCLK2} = f_{HCLK}/2$;
 - 若 $f_{HCLK} \leq 100\text{ MHz}$, $f_{PCLK1} = f_{HCLK}$, $f_{PCLK2} = f_{HCLK}$ 。

表 15 和表 16 给出的参数是在环境温度和 VDD 供电电压符合电气特性的条件测试得到。

表15. 运行模式下的最大电流消耗

符号	参数	条件	f_{HCLK}	最大值 ⁽¹⁾	单位
				$T_A = 85^\circ\text{C}$	
I_{DD}	运行模式下的 供应电流	外部时钟 ⁽²⁾ 使能所有外设	200 MHz	93.1	mA
			192 MHz	90.5	
			180 MHz	88	
			100 MHz	71.8	
			48 MHz	58.5	
			24 MHz	53	
			8 MHz	47.1	
		外部时钟 ⁽²⁾ 关闭所有外设	200 MHz	72.8	mA
			192 MHz	71.9	
			180 MHz	70.7	
			100 MHz	59.9	
			48 MHz	52.5	
			24 MHz	49.7	
			8 MHz	46.1	

注1: 由综合评估得出, 不在生产中测试。

注2: 外部时钟为 8 MHz, 当 $f_{HCLK} > 8\text{ MHz}$ 时启用 PLL。

表16. 睡眠模式下的最大电流消耗

符号	参数	条件	f_{HCLK}	最大值 ⁽¹⁾	单位
				$T_A = 85^\circ\text{C}$	
I_{DD}			200 MHz	45.5	mA

	睡眠模式下的 供应电流	外部时钟 ⁽²⁾ 使能所有外设	192 MHz	44.2	mA
			180 MHz	42.6	
			100 MHz	32	
			48 MHz	22.6	
			24 MHz	19	
			8 MHz	14.4	
		外部时钟 ⁽²⁾ 关闭所有外设	200 MHz	27.2	
			192 MHz	26.7	
			180 MHz	26.2	
			100 MHz	20.9	
			48 MHz	17.3	
			24 MHz	15.9	
			8 MHz	13.6	

注1: 由综合评估得出，不在生产中测试。

注2: 外部时钟为8 MHz，当 $f_{HCLK} > 8\text{ MHz}$ 时启用PLL。

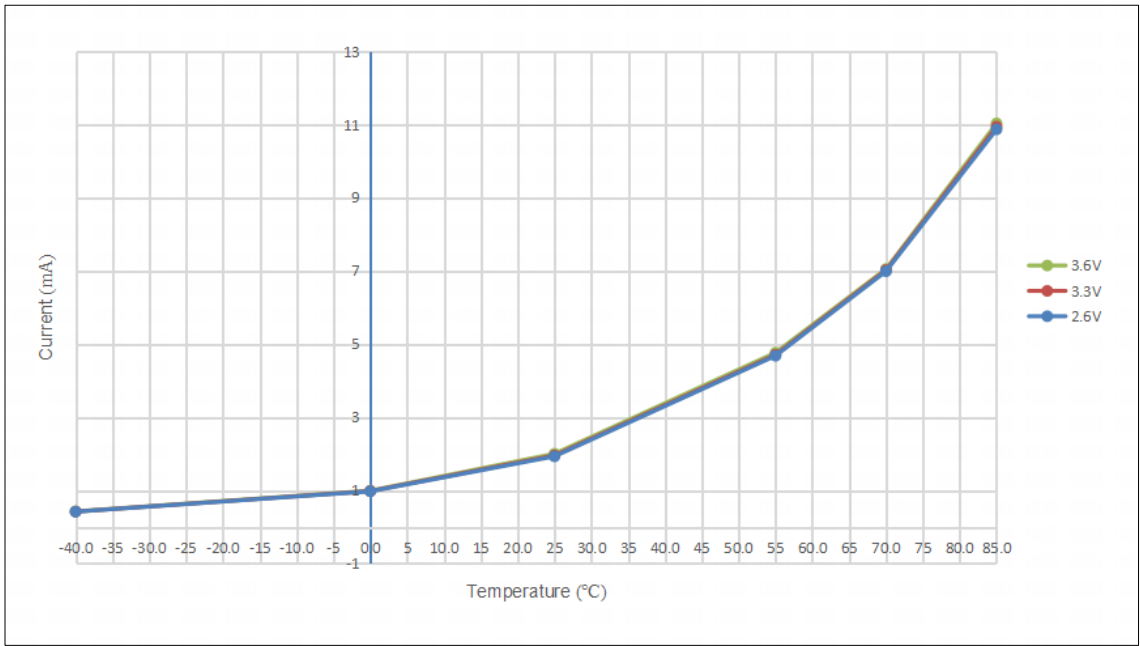
表17. 停机模式下的典型和最大电流消耗

符号	参数	条件	典型值 ⁽¹⁾		最大值 ⁽²⁾	单位
			V _{DD} = 2.6 V	V _{DD} = 3.3 V	T _A = 85 °C	
I _{DD}	停机模式下的供应电流	高速内部 RC 振荡器和高速外部振荡器处于关闭状态（没有独立看门狗）	1.5	1.9	10.9	mA

注1: 典型值是在TA = 25 °C下测试得到。

注2: 由综合评估得出，不在生产中测试。

图12. 停机模式下的典型电流消耗在不同的 VDD 时与温度的对比



内置外设电流消耗

内置外设的电流消耗列于表 18，微控制器的工作条件如下：

- 所有的 I/O 引脚都处于模拟输入。
- 所有的外设都处于关闭状态，除非特别说明。
- 给出的数值是通过测量电流消耗计算得出
 - 关闭所有外设的时钟
 - 只开启一个外设的时钟

环境温度和 VDD 供电电压条件符合电气特性。

表18. 内置外设的电流消耗

内置外设		典型值	单位
AHB（最高至 200 MHz）	DMA1	3	μA/MHz
	DMA2	4.6	
	CRC	1	
APB1（最高至 100 MHz）	TMR2	9.2	μA/MHz
	TMR3	7.7	
	TMR4	9.2	
	TMR5	11.5	
	TMR6	6.2	
	TMR7	3.8	
	TMR12	7.6	
	TMR13	6.5	
	TMR14	7.1	
	SPI2/I2S2	6.6	
	SPI3/I2S3	5.1	
	SPI4/I2S4	7.8	
	USART2	6.5	
	USART3	5.2	
	UART4	2.6	
	UART5	7	
	I2C1	7.1	
	I2C2	7.8	
	CAN	15.2	
	WWDG	5.5	
	PWR	6.2	
	BKP	6.2	
	I2C3	7.5	
APB2（最高至 100 MHz）	AFIO	7.2	μA/MHz
	GPIOA	7.2	
	GPIOB	5.7	
	GPIOC	3.6	

	GPIOD	4	
	GPIOE	5.3	
	SPI1/I2S1	8.4	
	USART1	7.2	
	USART6	6.1	
	UART7	4.7	
	UART8	3.8	
	TMR1	11.7	
	TMR8	13.3	
	TMR9	8.4	
	TMR10	9.9	
	TMR11	9	
	ADC1+ADC2	5.2	

5.3.5 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合表 9 的条件。

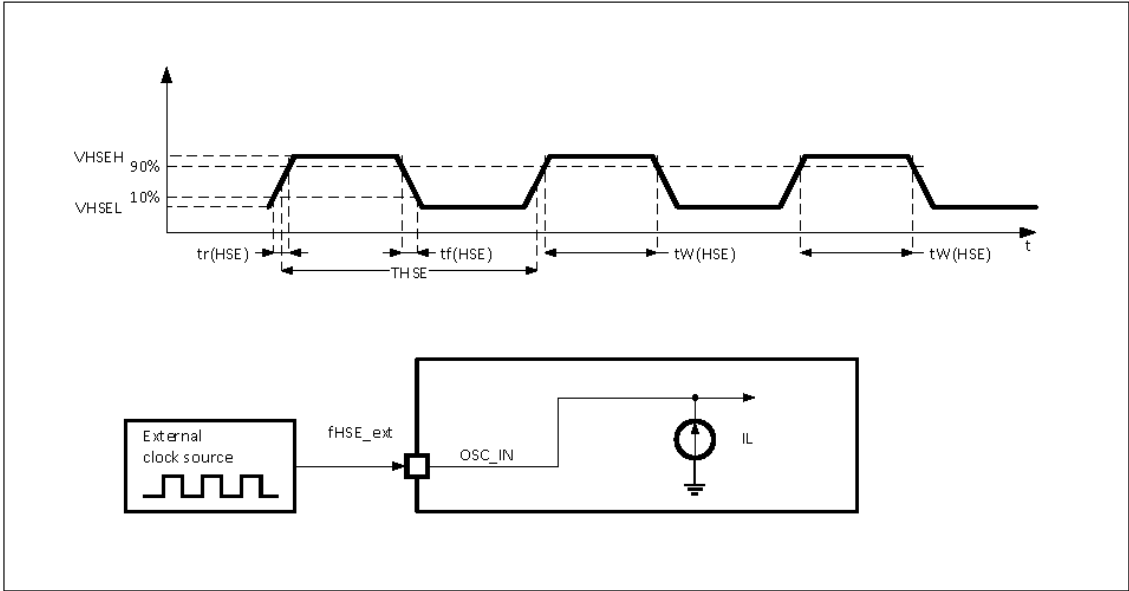
表19. 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{OSCIN}	用户外部 时钟频率 (1)	2.6V≤VDD≤3.6V	2	8	30	MHz
V _{HSEH}	OSC_IN 输入引脚 高电平电 压		0.7*V _{DD}	-	V _{DD}	V
V _{HSEL}	OSC_IN 输入引脚 低电平电 压		V _{SS}	-	0.3*V _{DD}	
t _{w (HSE)}	OSC_IN 高或低的 时间 (1)		5	-	-	ns
t _{w (HSE)}						
t _{r (HSE)}	OSC_IN 上升或下 降的时间 (1)		-	-	20	
t _{f (HSE)}						

Cin(HSE)	OSC_IN 输入容抗	-	-	3	-	pF
DuCy (HSE)	占空比	-	30	50	70	%
I	HSE 驱 动电流	VDD=3.3V,VIN=VSS With 20pF load	-	3	-	mA
IL	OSC_IN 输入漏电 流	$V_{SS} \leq V_{IN} \leq V_{DD}$			± 1	uA

注1: 由设计保证, 不在生产中测试。

图13. 外部高速时钟源的交流时序图



来自外部振荡源产生的低速外部用户时钟

下表中给出的特性参数是使用一个低速的外部时钟源测得, 环境温度和供电电压符合表 9 的条件。

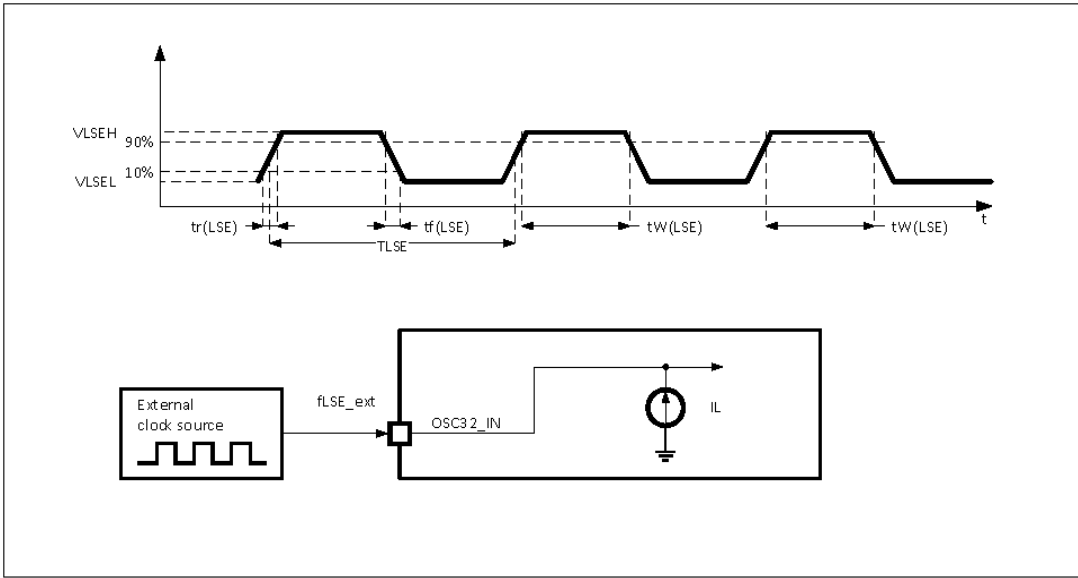
表20. 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
fLSE_ext	用户外部时钟频率 ⁽¹⁾	-	-	32.768	1000	KHz
VLSEH	OSC32_IN 输入引脚高电平电压		0.7*VDD	-	VDD	V
VLSEL	OSC32_IN 输入引脚低电平电压		VSS	-	0.3*VDD	
tW(LSE)	OSC32_IN 高或低的时间 ⁽¹⁾		450	-	-	ns
tR(LSE)			-	-	50	

t_f (LSE)	OSC32_IN 上升或下降的时间 ⁽¹⁾					
C_{in} (LSE)	OSC32_IN 输入容抗 ⁽¹⁾	-	-	3	-	pF
DuCy (LSE)	占空比	-	30	-	70	%
I_L	OSC32_IN 输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	± 1	μA

注1: 由设计保证, 不在生产中测试。

图14. 外部低速时钟源的交流时序图



使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟（HSE）可以使用一个 4~25 MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数（频率、封装、精度等），请咨询相应的生产厂商。

表21. HSE 4~25 MHz 振荡器特性^{(1) (2)}

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率	-	4	8	25	MHz
$t_{SU(HSE)}$ ⁽³⁾	启动时间	V_{DD} 是稳定的	-	30	-	ms

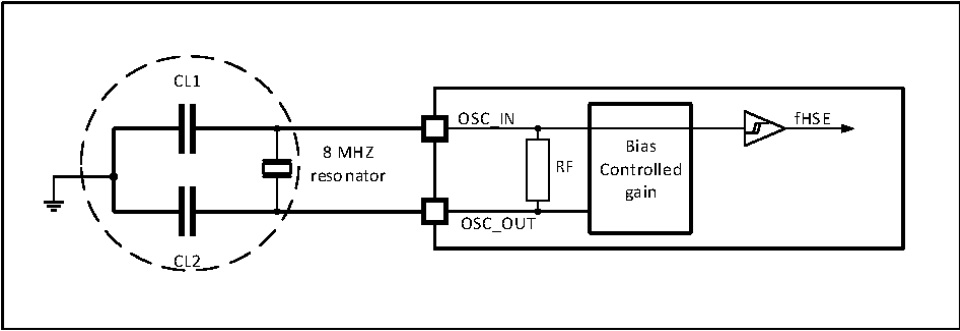
注1: 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。

注2: 由综合评估得出, 不在生产中测试。

注3: $t_{SU(HSE)}$ 是启动时间, 是从软件使能 HSE 开始测量, 直至得到稳定的 8 MHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到, 它可能因晶体制造商的不同而变化较大。

对于 CL1 和 CL2, 建议使用高质量的、为高频应用而设计的（典型值为）5 pF~25 pF 之间的瓷介电容器, 并挑选符合要求的晶体或谐振器。通常 CL1 和 CL2 具有相同参数。晶体制造商通常以 CL1 和 CL2 的串行组合给出负载电容的参数。在选择 CL1 和 CL2 时, PCB 和 MCU 引脚的容抗应该考虑在内（可以粗略地把引脚与 PCB 板的电容按 10 pF 估计）。

图15. 使用 8 MHz 晶体的典型应用



使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟（LSE）可以使用一个 32.768 kHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数（频率、封装、精度等），请咨询相应的生产厂商。（注：这里提到的晶体谐振器就是我们通常说的无源晶振）

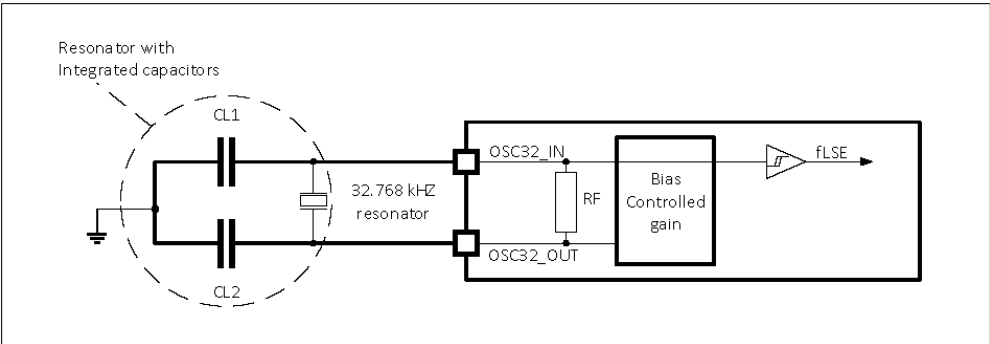
表22. LSE 振荡器特性 ($f_{LSE} = 32.768 \text{ kHz}$) ⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$t_{SU} \text{ (LSE)}$	启动时间	V_{DD} 是稳定的	-	150	-	ms

注1: 由综合评估得出，不在生产中测试。

对于 CL1 和 CL2，建议使用高质量的 5 pF~15 pF 之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 CL1 和 CL2 具有相同参数。晶体制造商通常以 CL1 和 CL2 的串行组合给出负载电容的参数。负载电容 CL 由下式计算： $CL = CL1 \times CL2 / (CL1 + CL2) + C_{stray}$ ，其中 C_{stray} 是引脚的电容和 PCB 板或 PCB 相关的电容，它的典型值是介于 2 pF 至 7 pF 之间。

图16. 使用 32.768 kHz 晶体的典型应用



5.3.6 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合表 10 的条件测量得到。

高速内部（HSI） RC 振荡器

表23. HSI 振荡器特性⁽¹⁾

符号	参数	条件		最小值	典型值	最大值	单位
f_{HSI}	频率	-		-	48	-	MHz
$\text{DuCy}_{(\text{HSI})}$	占空比	-		45	-	55	%
ACC_{HSI}	HSI 振荡器的精度	使用者以寄存器 RCC_CTRL 校准		-	-	1 ⁽²⁾	%
		出厂校准 ⁽³⁾	$T_A = -40 \sim 85\text{ }^{\circ}\text{C}$	-5	-	5	%
			$T_A = 25\text{ }^{\circ}\text{C}$	-2	-	2	%
$t_{\text{SU}(\text{HSI})}$ ⁽³⁾	HSI 振荡器启动时间	-		-	12	-	us
$I_{\text{DD}(\text{HSI})}$ ⁽³⁾	HSI 振荡器功耗	-		-	-	250	uA

注1: $V_{\text{DD}} = 3.3\text{ V}$, $T_A = -40\sim 85\text{ }^{\circ}\text{C}$, 除非特别说明。

注2: 由设计保证, 不在生产中测试。

注3: 由综合评估得出, 不在生产中测试。

低速内部（LSI） RC 振荡器

表24. LSI 振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{LSI}}^{(2)}$	频率	-	30	40	60	kHz

注1: $V_{\text{DD}} = 3.3\text{ V}$, $T_A = -40\sim 85\text{ }^{\circ}\text{C}$, 除非特别说明。

注2: 由综合评估得出, 不在生产中测试。

5.3.7 从低功耗模式唤醒的时间

下表列出的唤醒时间是在一个系统时钟为 HSI RC 振荡器的唤醒阶段测量得到。唤醒时使用的时钟源当前依据当前的操作模式而定：

- 停机模式：时钟源是 HSI RC 振荡器
- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟所有的时间是使用环境温度和供电电压符合表 10 的条件测量得到。

表25. 低功耗模式的唤醒时间

符号	参数	典型值	单位
$t_{\text{WUSLEEP}}^{(1)}$	从睡眠模式唤醒	3.3	μs
$t_{\text{WUSTOP}}^{(1)}$	从停机模式唤醒	490	μs

注1: 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

5.3.8 PLL 特性

下表列出的参数是使用环境温度和供电电压符合表 10 的条件测量得到。

表26. PLL 特性

符号	参数	最小值	典型值	最大值	单位
f_{DIV}	划分基准频率范围	30		375000	KHz
f_{OUT}	总输出频率范围	1.88		375	MHz
P_P	周期抖动 (P-P) (max)			+/-2.5%输出 周期	ps
I_{PD}	功耗(nom)		20@30MHz (/1 输出)		uA
t_{RST}	复位脉宽 (分钟)	5			μs
t_{LOCK}	锁定时间 (最小允许)	500 div 参考 周期			us

5.3.9 存储器特性

除非特别说明，表 27 中给出的特性参数是基于 $T_A = 25^{\circ}\text{C}$ 和 $V_{DD} = 3.3\text{ V}$ 的条件测量得到。

表27. 内部闪存存储器特性

符号	参数	条件	典型值					单位
			Bank 大小					
			1	2	4	8	16	MB
T _{PROG}	编程时间	-	20					μs
t _{ERASE}	页（4K 字节）擦除时间	-	60	60	50	35	30	ms
t _{ME}	整片擦除时间	-	7	10	15	30	60	s
I _{DD}	编程电流	写模式	9.3					mA
		擦除模式	2.2					

表28. 内部闪存存储器寿命和数据保存期限

符号	参数	条件	最小值 ⁽¹⁾	典型值	最大值	单位
N_{END}	寿命 (擦写次数)	$T_A = -40 \sim 85^{\circ}\text{C}$	100	-	-	千次
t_{RET}	数据保存期限	$T_A = 105^{\circ}\text{C}$	20	-	-	年

注1: 由设计保证, 不在生产中测试。

5.3.10 I/O 端口特性

通用输入/输出特性



除非特别说明，下表列出的参数是按照表 10 的条件测量得到。所有的 I/O 端口都是兼容 CMOS。

表29. I/O 静态特性

符号	参数	最小值	典型值	最大值	单位
V_{T^+}	FT I/O 脚输入高电平电压	$0.7 \times V_{DD}$	-	$V_{DD} + 0.3$	V
	NT I/O 脚输入高电平电压		-	5.5	V
V_{T^-}	I/O 脚输入低电平电压	-0.3		$0.3 \times V_{DD}$	V
V_{hys}	I/O 施密特触发器电压迟滞		0.6		V
I_I	输入漏电流 @ $V_I = 3.3V$ 或 $0V @ 125^\circ C$		2n	51n	A
	输入漏电流 @ $V_I = 3.3V$ 或 $0V @ 85^\circ C$		2n	19n	A
I_{OZ}	三态输出漏电流 @ $V_O = 3.3V$ 或 $0V$		2n	51n	A
R_{PU}	上拉电阻	25K	40K	60K	Ω
R_{PD}	下拉电阻	25k	40K	75K	Ω
V_{OL}	输出低压			0.4	V
V_{OH}	输出高压	2.4			V
I_{OL}	低电平输出电流 @ V_{OL} (最大)	9.21	14.1	18.96	mA
I_{OH}	高电平输出电流 @ V_{OH} (最小)	22.17	31.45	40.44	mA

注1: 下列IO: IOA0、IOA1、IOC0、IOC4、IOC13、IOC14、IOC15、IOF0、IOF1、IOF2、IOF3、IOF4、IOF5 不支持输入施密特迟滞。

5.3.11 NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻，RPU（参见下表）。除非特别说明，下表列出的参数是使用环境温度和供电电压符合表 10 的条件测量得到。

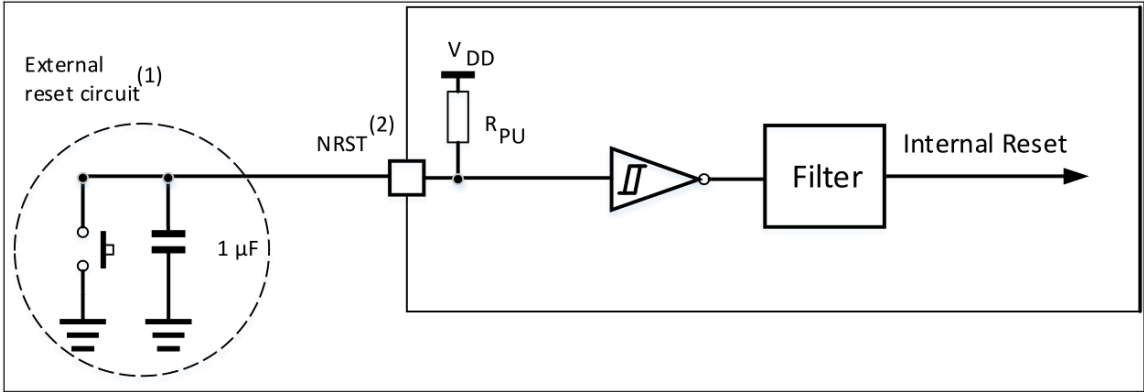
表30. NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
----	----	----	-----	-----	-----	----

$V_{IL(NRST)}$ (1)	NRST 输入低电平电压	-	-0.5	-	$0.3 \times V_{DD}$	V
$V_{IH(NRST)}$ (1)	NRST 输入高电平电压	-	$0.7 \times V_{DD}$	-	5.5	
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞	-	-	600	-	mV
R_{PU}	弱上拉等效电阻	$V_{IN} = V_{SS}$	25	40	60	kΩ
$V_F(NRST)$ (1)	NRST 输入可滤波脉冲	-	-		66	μs
$V_{NF(NRST)}$ (1)	NRST 输入不可滤波脉冲	-	133		-	μs

注1: 由设计保证，不在生产中测试。

图17. 建议的 NRST 引脚保护



注1: 复位网络是为了防止寄生复位。

注2: 用户必须保证 NRST 引脚的电位能够低于表 30 中列出的最大 $V_{IL(NRST)}$ 以下，否则 MCU 不能得到复位。

5.3.12 TMR 定时器特性

下表列出的参数由设计保证。

有关输入输出复用功能引脚（输出比较、输入捕获、外部时钟、PWM 输出）的特性详情，参见 I/O 端口特性。

表31. TMRx⁽¹⁾ 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TMR)}$	定时器分辨率时间	-	1	-	$t_{TMRxCLK}$
		$f_{TMRxCLK} = 200 \text{ MHz}$	5	-	ns
f_{EXT}	CH1 至 CH4 的定时器外部时钟频率	-	0	$f_{TMRxCLK}/2$	MHz
			0	50	MHz

注1: TMRx 是一个通用的名称, 代表 TMR1~TMR14。

5.3.13 通信接口

I2C 接口特性

V32G410x 系列产品的 I2C 接口符合标准 I2C 通信协议, 但有如下限制: SDA 和 SCL 不是“真”开漏的引脚, 当配置为开漏输出时, 在引出脚和 VDD 之间的 PMOS 管被关闭, 但仍然存在。

I2C 接口特性列于下表, 有关输入输出复用功能引脚 (SDA 和 SCL) 的特性详情, 参见 I/O 端口特性。

表32. I2C 接口特性

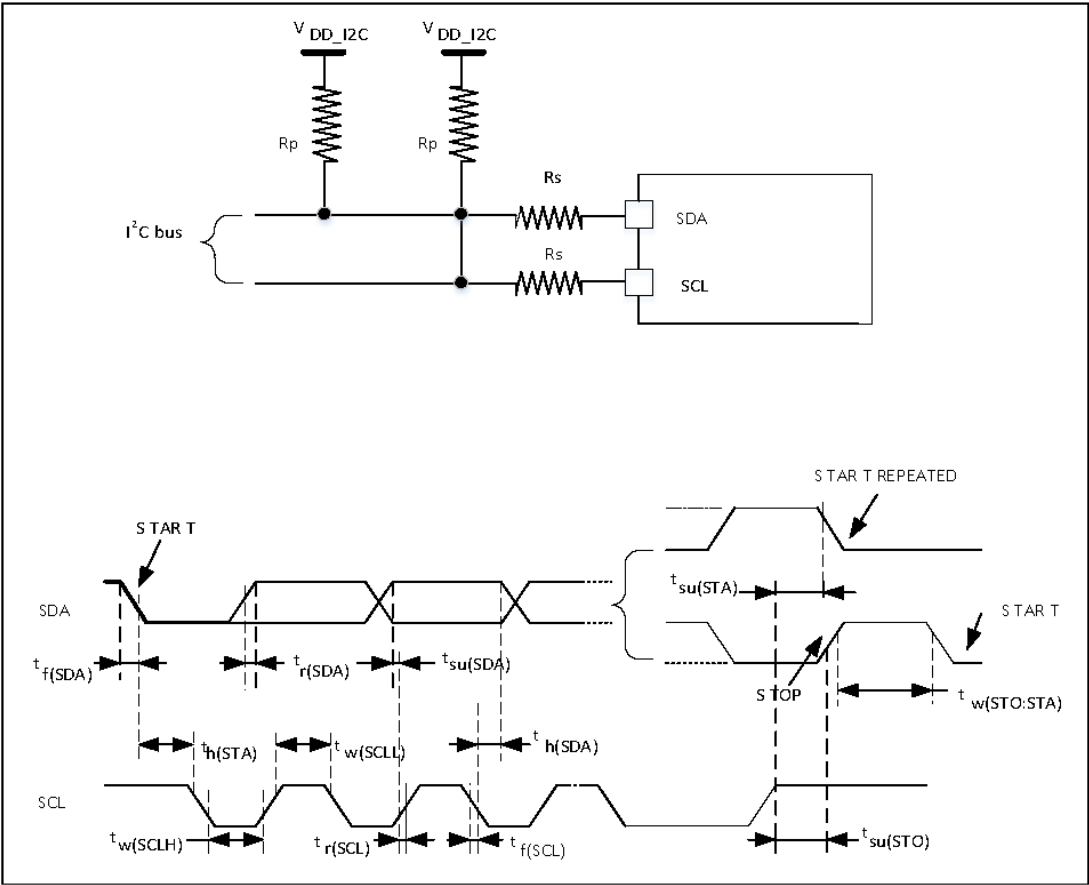
符号	参数	标准 I ² C ^{(1) (2)}		快速 I ² C ^{(1) (2)}		单位
		最小值	最大值	最小值	最大值	
t _w (SCLL)	SCL 时钟低时间	4.7	-	1.3	-	μs
t _w (SCLH)	SCL 时钟高时间	4	-	0.6	-	
t _{su} (SDA)	SDA 建立时间	250	-	100	-	ns
t _h (SDA)	SDA 数据保持时间	-	3450 ⁽³⁾	-	900 ⁽³⁾	
t _r (SDA)	SDA 和 SCL 上升时间	-	1000	-	300	
t _r (SCL)						
t _f (SDA)	SDA 和 SCL 下降时间	-	300	-	300	
t _f (SCL)						
t _h (STA)	开始条件保持时间	4	-	0.6	-	μs
t _{su} (STA)	重复的开始条件建立时间	4.7	-	0.6	-	
t _{su} (STO)	停止条件建立时间	4		0.6		μs
t _w (STO: STA)	停止条件至开始条件的时间 (总线空闲)	4.7		1.3		μs
C _b	每条总线的容性负载	-	400	-	400	pF

注1: 由设计保证, 不在生产中测试。

注2: 为达到标准模式 I2C 的最大频率, f_{PCLK1} 必须大于 2 MHz。为达到快速模式 I2C 的最大频率, f_{PCLK1} 必须大于 4 MHz。

注3: 为了跨越 SCL 下降沿未定义的区域, 在 MCU 内部必须保证 SDA 信号上至少 300 ns 的保持时间。

图18. I2C 总线交流波形和测量电路 ⁽¹⁾



注1: 测量点设置于CMOS 电平: $0.3 V_{DD}$ 和 $0.7 V_{DD}$ 。

表33. SCL 频率 ($f_{PCLK1} = 36 \text{ MHz}$, $V_{DD} = 3.3 \text{ V}$) ^{(1) (2)}

f_{SCL} (kHz)	I2C_CLKCTRL 数值
	$R_P = 4.7 \text{ k}\Omega$
400	0x801E
300	0x8028
200	0x803C
100	0x00B4
50	0x0168
20	0x0384

注1: R_P = 外部上拉电阻, f_{SCL} = I2C 速度。

注2: 对于 200 kHz 左右的速度, 速度的误差是 $\pm 5\%$ 。对于其它速度范围, 速度的误差是 $\pm 2\%$ 。这些变化取决于设计中外部元器件的精度。

SPI-I2S 特性

除非特别说明, 表 34 列出的 SPI 参数和表 35 列出的 I2S 参数是使用环境温度, f_{PCLKx} 频率和 V_{DD} 供电电压符合表 10 的条件测量得到。

有关输入输出复用功能引脚 (SPI 的 NSS、SCK、MOSI、MISO, I2S 的 WS、CK、SD) 的特

性详情，参见 I/O 端口特性。

表34. SPI 特性

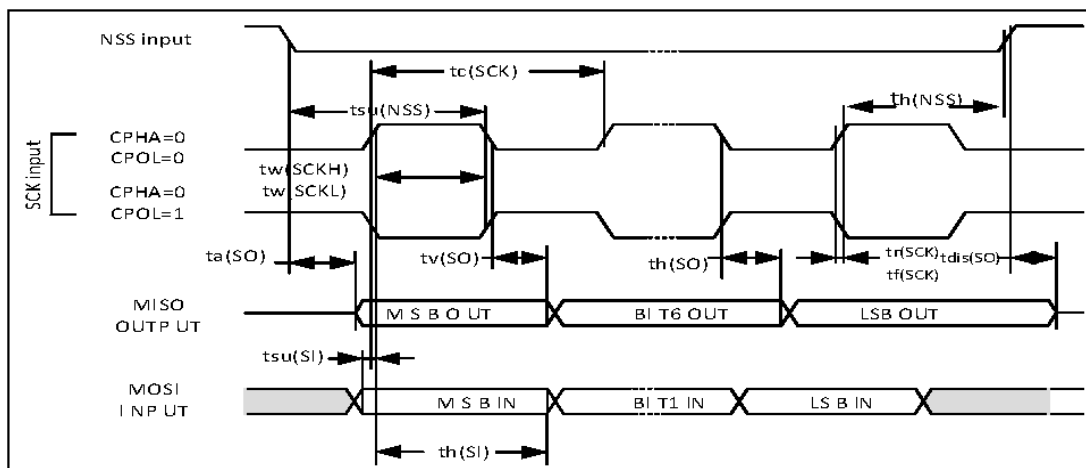
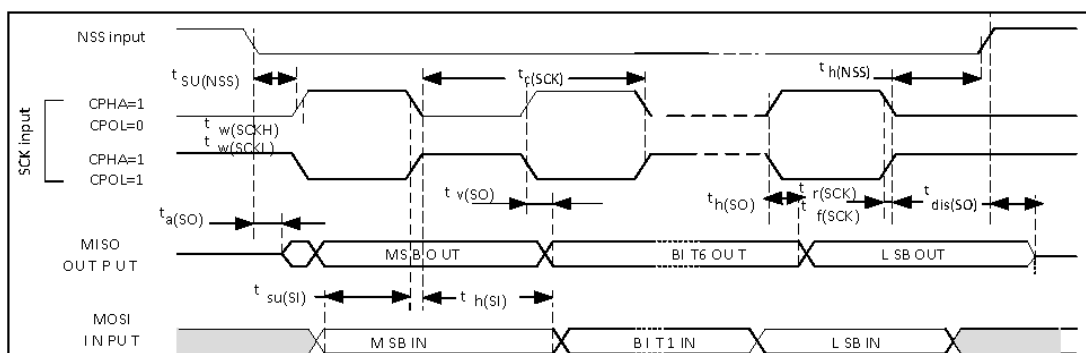
符号	参数	条件	最小值	最大值	单位
f_{SCK}	SPI 时钟频率	主模式	-	50	MHz
$1/t_c(SCK)$		从模式	-	$f_{PCLK}/2$	
$t_r(SCK)$	SPI 时钟上升和下降时间	负载电容: C = 30 pF	-	8	ns
$t_f(SCK)$					
$t_{su(NSS)}^{(1)}$	NSS 建立时间	从模式	$4t_{PCLK}$	-	ns
$t_h(NSS)^{(1)}$	NSS 保持时间	从模式	$2t_{PCLK}$	-	ns
$t_w(SCKH)^{(1)}$	SCK 高和低的时间	主模式, $f_{PCLK} = 90\text{ MHz}$,	22	32	ns
$t_w(SCKL)^{(1)}$		预分频系数 = 4			
$t_{su(MI)}^{(1)}$	数据输入建立时间	主模式	5	-	ns
$t_{su(SI)}^{(1)}$		从模式	5	-	
$t_h(MI)^{(1)}$	数据输入保持时间	主模式	5	-	ns
$t_h(SI)^{(1)}$		从模式	4	-	
$t_a(SO)^{(1)(2)}$	数据输出访问时间	从模式, $f_{PCLK} = 20\text{ MHz}$	0	$3t_{PCLK}$	ns
$t_{dis(SO)}^{(1)(3)}$	数据输出禁止时间	从模式	2	10	ns
$t_v(SO)^{(1)}$	数据输出有效时间	从模式 (使能边沿之后)	-	25	ns
$t_v(MO)^{(1)}$	数据输出有效时间	主模式 (使能边沿之后)	-	5	ns
$t_h(SO)^{(1)}$	数据输出保持时间	从模式 (使能边沿之后)	15	-	ns
$t_h(MO)^{(1)}$		主模式 (使能边沿之后)	2	-	

注1: 由综合评估得出，不在生产中测试。

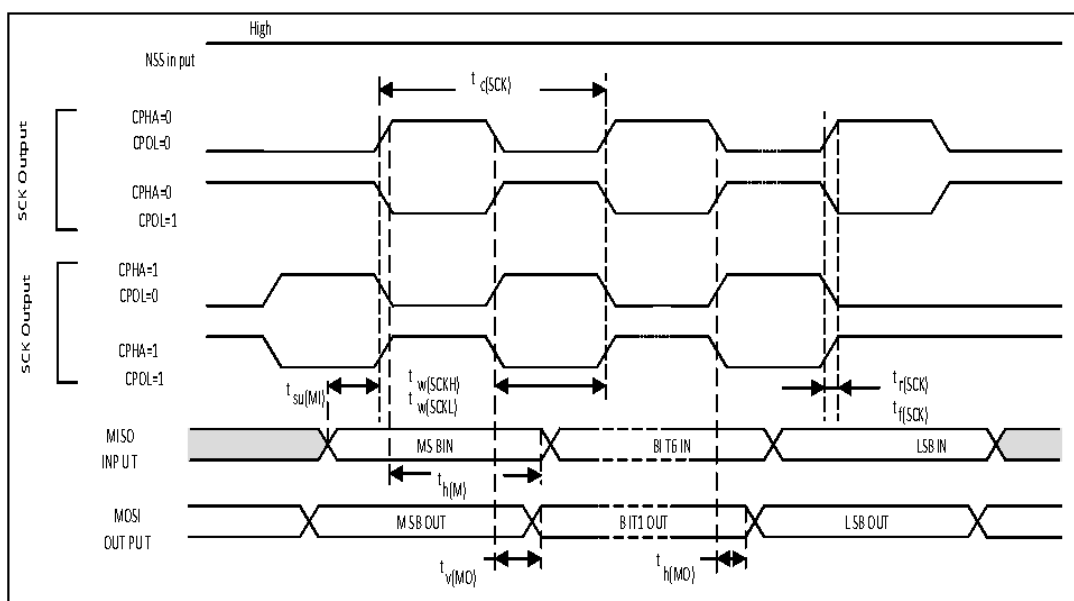
注2: 最小值表示驱动输出的最小时间，最大值表示正确获得数据的最大时间。

注3: 最小值表示关闭输出的最小时间，最大值表示把数据线置于高阻态的最大时间。

图19. SPI 时序图 - 从模式和 $CPHA = 0$

图20. SPI 时序图 - 从模式和 CPHA = 1⁽¹⁾

注1: 测量点设置于CMOS电平: 0.3VDD 和 0.7VDD。

图21. SPI 时序图 - 主模式⁽¹⁾

注1: 测量点设置于CMOS电平: 0.3VDD 和 0.7VDD。

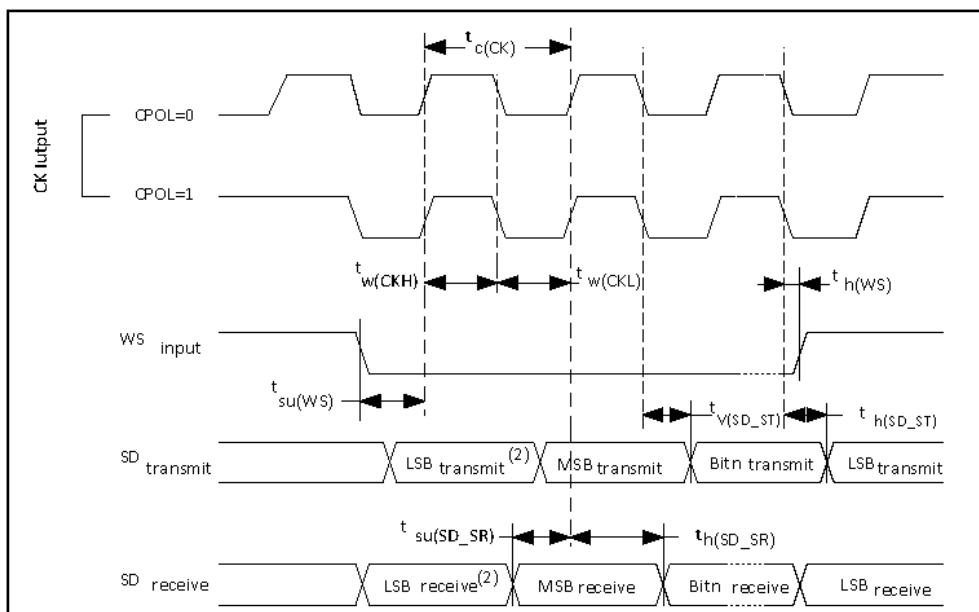
表35. I2S 特性

符号	参数	条件	最小值	最大值	单位
f_{CK} $1/t_{c(CK)}$	I ² S 时钟频率	主模式 (资料: 16 位, 音频: 48 kHz)	1.522	1.525	MHz
$t_{r(CK)}$ $t_{f(CK)}$	I2S 时钟上升和下降时间	负载电容: C = 50 pF	-	8	ns
$t_{v(WS)}^{(1)}$	WS 有效时间	主模式	3	-	
$t_{h(WS)}^{(1)}$	WS 保持时间	主模式	2	-	
$t_{w(CKH)}^{(1)}$ $t_{w(CKL)}^{(1)}$	CK 高和低的时间	主模式, $f_{PCLK} = 16$ MHz, 音频: 48 kHz	312.5 345	- -	
$t_{Su(SD_MR)}^{(1)}$	数据输入建立时间	主接收器	6.5	-	
$t_{h(SD_MR)}^{(1)(2)}$	数据输入保持时间	主接收器	0	-	
$t_{v(SD_ST)}^{(1)(2)}$	数据输出有效时间	从发送器 (使能边沿之后)	-	18	
$t_{h(SD_ST)}^{(1)}$	数据输出保持时间	从发送器 (使能边沿之后)	11	-	
$t_{v(SD_MT)}^{(1)(2)}$	数据输出有效时间	主发送器 (使能边沿之后)	-	3	
$t_{h(SD_MT)}^{(1)}$	数据输出保持时间	主发送器 (使能边沿之后)	0	-	

注1: 由设计模拟和/或综合评估得出, 不在生产中测试。

注2: 依赖于 f_{PCLK} 。例如, 如果 $f_{PCLK} = 8$ MHz, 则 $t_{PCLK} = 1/f_{PCLK} = 125$ ns。

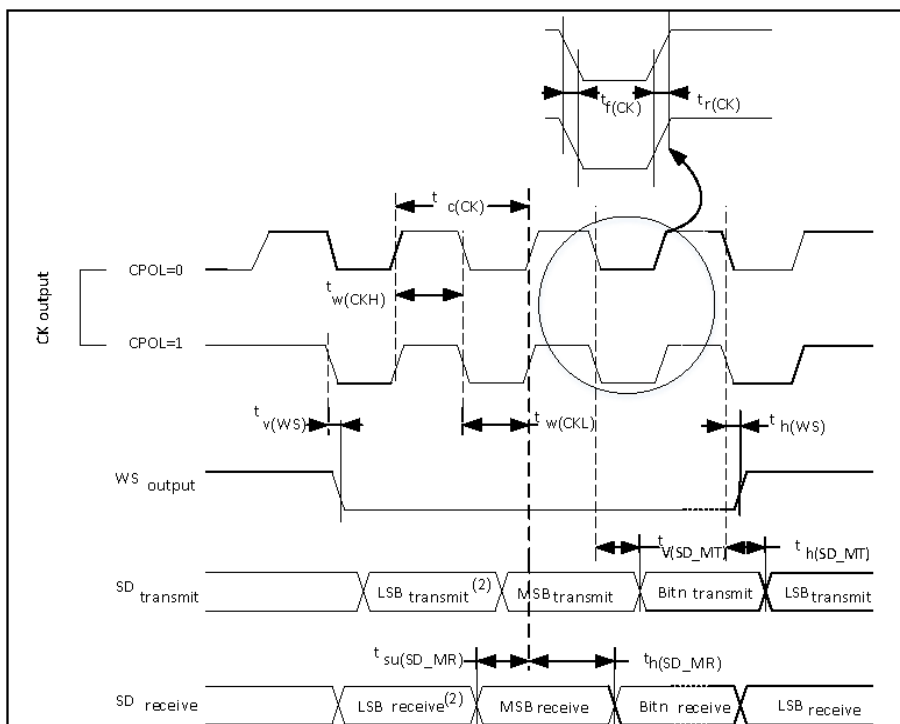
图22. I2S 从模式时序图 (Philips 协议)⁽¹⁾



注1: 测量点设置于CMOS电平: $0.3V_{DD}$ 和 $0.7V_{DD}$ 。

注2: 前一字节的最低位发送/接收。在第一个字节之前没有这个最低位的发送/接收。

图23. I2S 主模式时序图 (Philips 协议)⁽¹⁾



注1: 测量点设置于CMOS电平: $0.3 \cdot V_{DD}$ 和 $0.7 \cdot V_{DD}$ 。

注2: 前一字节的最低位发送/接收。在第一个字节之前没有这个最低位的发送/接收。

CAN (控制器局域网) 接口

有关输入输出复用功能引脚 (CAN_TX 和 CAN_RX) 的特性详情, 参见 5.3.10。

5.3.14 12 位 ADC 特性

表36. ADC 特性

参数	条件	最小	典型	最大	单位
电源电压					
AVDD_ADC	-	2.6	3.3	3.63	V
VDD_ADC	-	0.81	1.1	1.21	V
IAVDD_ADC	@fs=2Msps		500		uA
IVREFP_ADC	@fs=2Msps		80		uA
IVDD_ADC	@fs=2Msps		5		uA
PowerDown			30		nA
参考电压					
VEREFP_ADC	-	1.8	3.3	3.63	V
VREFN_ADC	-		0		V
模拟输入					
输入范围	ADC_SDIF=0	VREFN		VREFP	V
	ADC_SDIF=1	$2*(VREFP-VREFN)$			V
输入共模		$(VREFP-VREFN)/2$			V
输入采样电容	单端		5		pF
输入等效阻抗				1000	Ω
时序					
时钟周期(Ts)				3333	nS
占空比		40%	50%	60%	Ts
SOC setup 时间			2		nS
SOC hold 时间			2		nS
采样时间			1.5		Ts
采样+转换时间			14		Ts
通道选择到 EOC 时间		1.5		11	Ts
ADC 性能（单端） ⁽¹⁾					
THD			-75		dB
ENOB			10.5		bit
SNDR			65		dB
DNL			± 1.5		LSB
INL			± 2		LSB
可校准 offset		-16		16	LSB
ADC 性能（差分） ⁽¹⁾					
THD			-75		dB
ENOB			11		bit
SNDR			68		dB
DNL			± 1.5		LSB
INL			± 2		LSB

可校准 offset		-16		16	LSB
------------	--	-----	--	----	-----

注1: $F_{in}=100\text{ kHz}$, $f_s=28\text{ Msps}$, 电源电压 2.97~3.63V, -40℃~125℃结果;
注2: 单端输入情况下, 奇数通道经过两级开关, 性能稍微有所下降;

5.3.15 温度传感器特性

表37. 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
$T_L^{(1)}$	V_{SENSE} 相对于温度的线性度	-	±1	±2	°C
$Avg_Slope^{(1)(2)}$	平均斜率		3.5		mV/°C
$V_{25}^{(1)(2)}$	在 25 °C 时的采样值		1.05		
$t_{START}^{(3)}$	建立时间	-	-	6	μs
$T_{S_temp}^{(3)(4)}$	当读取温度时, ADC 采样时间	2	-	-	μs

注1: 由综合评估保证, 不在生产中测试。
注2: 温度传感器输出电压随温度线性变化, 由于生产过程的变化, 温度变化曲线的偏移在不同芯片上会有不同 (最多相差 50° C)。内部温度传感器更适合于检测温度的变化, 而不是测量绝对的温度。如果需要测量精确的温度, 应该使用一个外置的温度传感器。
注3: 由设计保证, 不在生产中测试。
注4: 短的采样时间可以由应用程序通过多次循环决定。

利用下列公式得出温度:

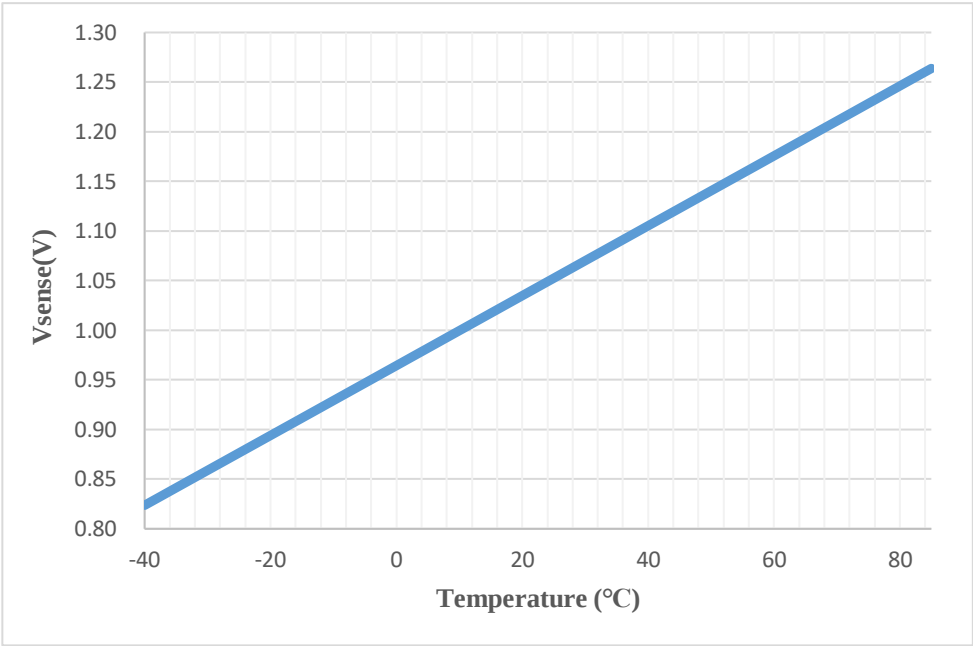
温度 (° C) = $\{(V_{sense} - V_{25}) / Avg_Slope\} + 25$

这里:

$V_{25} = V_{SENSE}$ 在 25° C 时的数值

Avg_Slope = 温度与 V_{SENSE} 曲线的平均斜率 (单位为 mV/° C)

图24. V_{SENSE} 对温度理想曲线图



5.3.16 ESD 电气特性

表38. ESD 电气参数

V _{ESD}	人体模型(HBM)	-4000	4000	V
	充电设备模型(CDM)	-1000	1000	V

6 存储

6.1 湿敏度

表39. MSL 汇总

MSL	Out-of-bag floor life	Comments
1	Unlimited	≤30°C / 85%RH
2	1 year	≤30°C / 60%RH
2a	4 weeks	≤30°C / 60%RH
3	168 hours	≤30°C / 60%RH
4	72 hours	≤30°C / 60%RH
5	48 hours	≤30°C / 60%RH
5a	24 hours	≤30°C / 60%RH
6	Time on Label(TOL)	≤30°C / 60%RH

注1: V32G410x 的湿敏度等级为MSL3。

6.2 存储条件

表40. 袋装储存条件

包装方式	真空包装
存储温度	-55°C ~150°C

7 回流焊工艺

为客户提供的所有万高芯片均为无铅 RoHS 兼容产品。

本文推荐的回流焊工艺为无铅回流焊工艺，适用于无铅焊膏的纯无铅工艺。如果客户需要使用铅焊膏，请与智能芯片 FAE 联系。

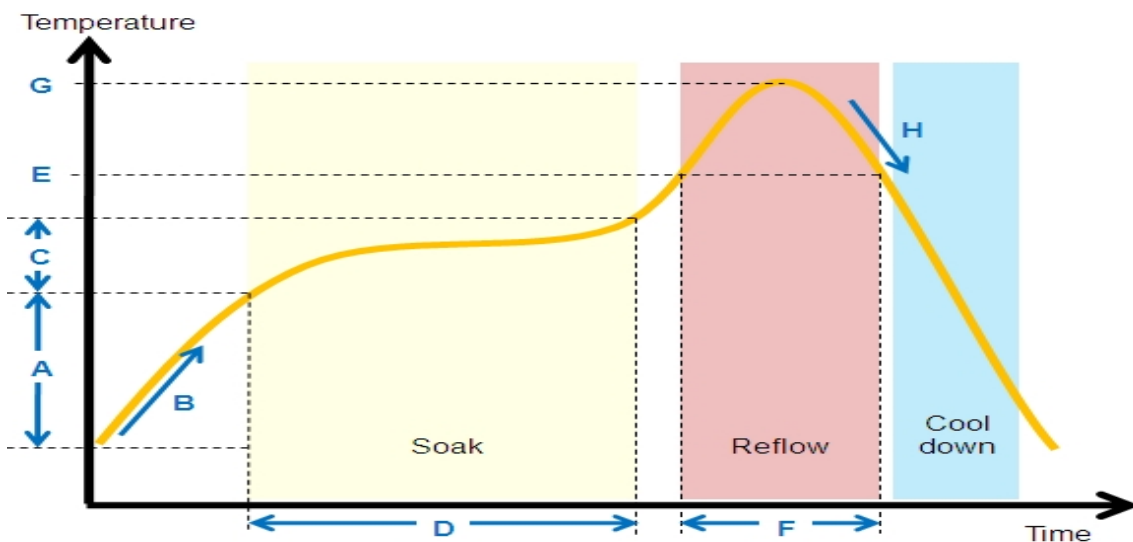
无铅回流曲线条件见表 41。该表仅供参考。

表41. 回流曲线条件

	QTI typical SMT reflow profile conditions(for reference only)	
	Step	Reflow condition
Environment	N2 purge reflow usage (yes/no)	Yes, N2 purge used
	If yes, O2 ppm level	O2 < 1500 ppm
A	Preheat ramp up temperature range	25°C -> 150°C
B	Preheat ramp up rate	1.5~2.5 °C /sec
C	Soak temperature range	150°C -> 190°C
D	Soak time	80~110 sec
E	Liquidus temperature	217°C
F	Time above liquidus	60-90 sec
G	Peak temperature	240-250°C
H	Cool down temperature rate	≤4°C /sec

下图了典型的无铅回流模式。

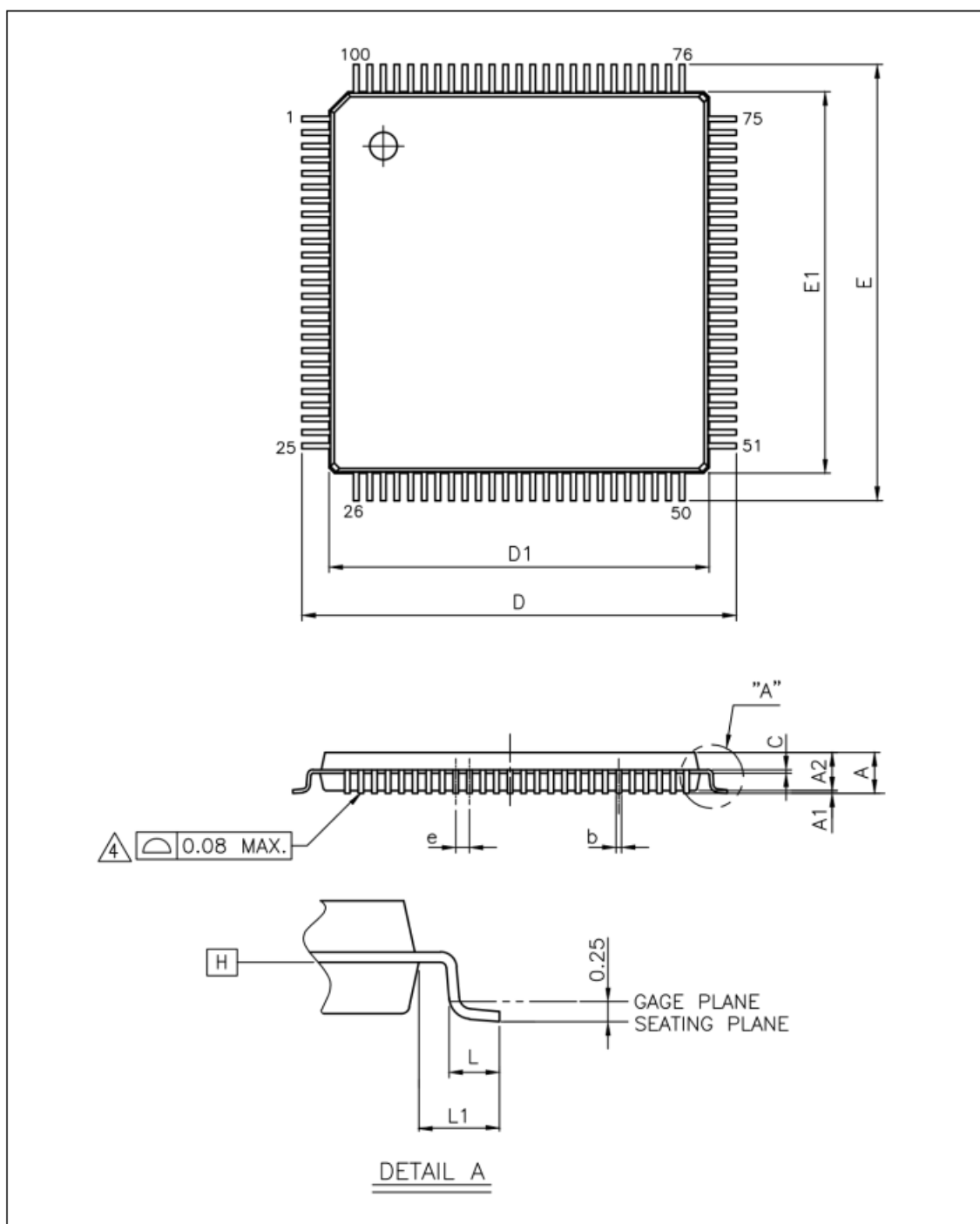
图25. 典型无铅回流模式



8 封装特性

8.1 LQFP100 14x14mm 封装数据

图26. LQFP100 - 14x14mm 100 脚薄型正方扁平封装图

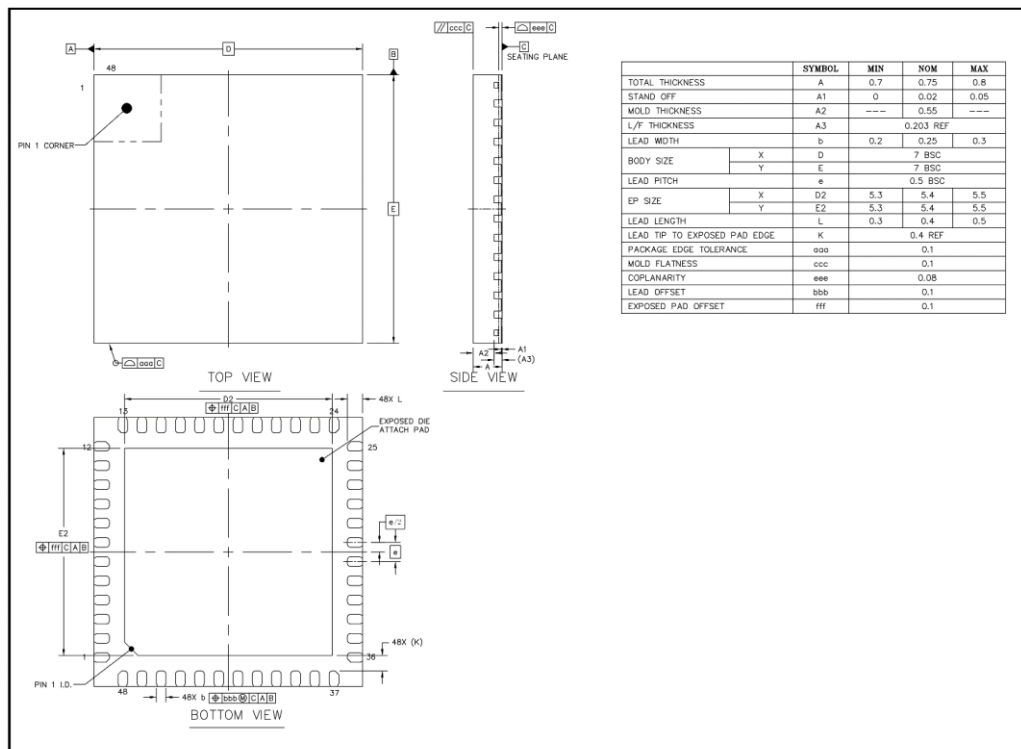


注1: 图不是按照比例绘制。

标号	毫米			英寸 ⁽¹⁾		
	最小值	典型值	最大值	最小值	典型值	最大值
A	-	-	1.6	-	-	0.063
A1	0.05	-	0.15	0.002	-	0.006
A2	1.35	1.4	1.45	0.053	0.055	0.057
b	0.17	0.2	0.26	0.007	0.008	0.01
c	0.1	0.127	0.2	0.004	0.005	0.008
D	16.00BSC			0.630BSC		
D1	14.00BSC			0.551BSC		
E	16.00BSC			0.630BSC		
E1	14.00BSC			0.551BSC		
e	0.50BSC			0.020BSC		
L	0.45	0.6	0.75	0.018	0.024	0.03
L1	1.00REF			0.039REF		

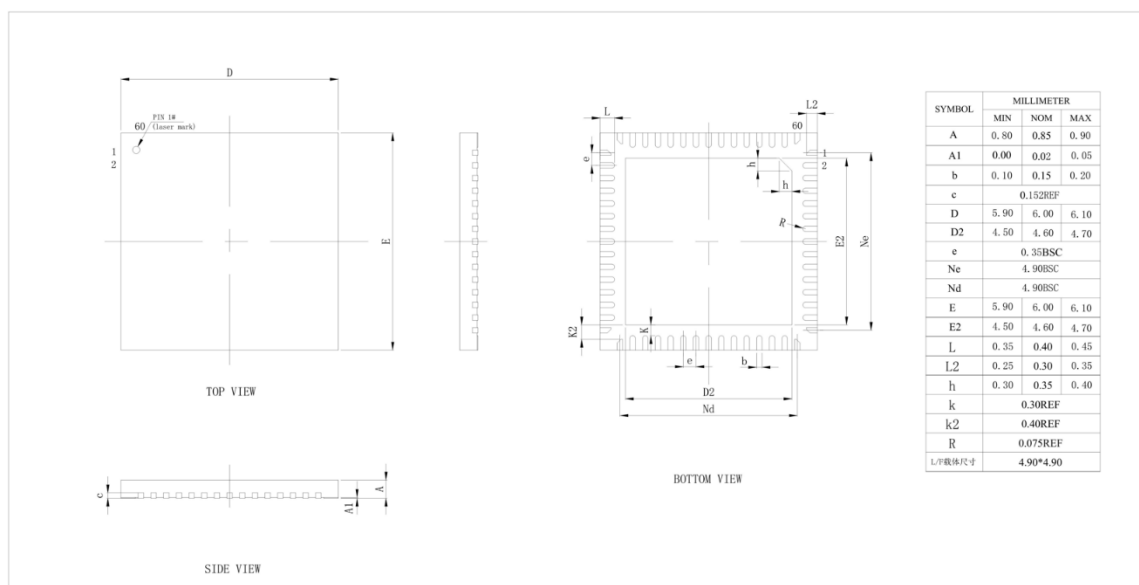
8.2 QFN48 7x7mm 封装数据

图27. QFN48 - 7x7mm 48 脚薄型正方扁平封装图



8.3 QFN60 6x6mm 封装数据

图28. QFN60 - 6x6mm 60 脚薄型正方扁平封装图



8.4 热特性

芯片的最大结温（ T_{jmax} ）一定不能超过表 8 给出的数值范围。芯片的最大结温（ T_{jmax} ）用摄氏温度表示，可用下面的公式计算：

$$T_{jmax} = T_{amax} + (P_{dmax} \times \Theta_{JA})$$

其中：

- T_{amax} 是最大的环境温度，用° C 表示，
- Θ_{JA} 是封装中结到环境的热阻抗，用° C/W 标示，
- P_{dmax} 是 P_{INTmax} 和 PI/O_{max} 的和（ $P_{dmax} = P_{INTmax} + PI/O_{max}$ ），
- P_{INTmax} 是 I_{DD} 和 V_{DD} 的乘积，用瓦特（Watt）表示，是芯片的最大内部功耗。

PI/O_{max} 是所有输出引脚的最大功率消耗：

$$PI/O_{max} = \sum (V_{OL} \times I_{OL}) + \sum ((V_{DD} - V_{OH}) \times I_{OH}),$$

考虑在应用中 I/O 上低电平和高电平的实际的 V_{OL} / I_{OL} 和 V_{OH} / I_{OH} 。

表42. 封装的热特性

符号	参数	数值	单位
Θ_{JA}	结到环境的热阻抗	53.6	°C/W

Innovates for the Internet of Energy

杭 州 万 高 科 技 股 份 有 限 公 司

地址:杭州市滨江区六和路 368 号海创基地北楼 A4070室

电话: +86-571-88157065

传真: +86-571-88157067

邮箱:service@vangotech.com

网址:<http://www.vangotech.com>

微 信 公 众 号

